

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ
федеральное государственное автономное образовательное учреждение высшего
образования
"САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
АЭРОКОСМИЧЕСКОГО ПРИБОРОСТРОЕНИЯ"

Кафедра № 41

УТВЕРЖДАЮ
Руководитель образовательной программы
Старший преподаватель

(должность, уч. степень, звание)

А.В. Статкевич

(инициалы, фамилия)



(подпись)

«24» июня 2025 г

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

«ИТ-модуль "Проектирование на FPGA"»
(Наименование дисциплины)

Код направления подготовки/ специальности	16.03.01
Наименование направления подготовки/ специальности	Техническая физика
Наименование направленности	Физические методы контроля качества и диагностики
Форма обучения	очная
Год приема	2023

Санкт-Петербург– 2025

Лист согласования рабочей программы дисциплины

Программу составила

Старший преподаватель
(должность, уч. степень, звание)


(подпись, дата)

Б.К. Акопян
(инициалы, фамилия)

Программа одобрена на заседании кафедры № 41

«10» июня 2025 г, протокол № 11-2024/25

Заведующий кафедрой № 41

д.т.н.,проф.
(уч. степень, звание)


(подпись, дата)

Г.А. Коржавин
(инициалы, фамилия)

Заместитель директора института №3 по методической работе

Старший преподаватель
(должность, уч. степень, звание)


(подпись, дата)

Н.В. Решетникова
(инициалы, фамилия)

Аннотация

Дисциплина «ИТ-модуль "Проектирование на FPGA"» входит в образовательную программу высшего образования – программу бакалавриата по направлению подготовки/специальности 16.03.01 «Техническая физика» направленности «Физические методы контроля качества и диагностики». Дисциплина реализуется кафедрой «№41».

Дисциплина не является обязательной при освоении обучающимся образовательной программы и направлена на углубленное формирование следующих компетенций:

УК-6 «Способен управлять своим временем, выстраивать и реализовывать траекторию саморазвития на основе принципов образования в течение всей жизни»

Содержание дисциплины охватывает круг вопросов, связанных со сферой проектирования устройств и систем на программируемых логических интегральных схемах (ПЛИС) архитектуры FPGA, с использованием возможностей современных систем автоматизированного проектирования и применением языков описания аппаратуры.

Преподавание дисциплины предусматривает следующие формы организации учебного процесса: лекции, практические занятия, самостоятельная работа обучающегося.

Программой дисциплины предусмотрены следующие виды контроля: текущий контроль успеваемости, промежуточная аттестация в форме дифференцированного зачета.

Общая трудоемкость освоения дисциплины составляет 7 зачетных единиц, 252 часа.

Язык обучения по дисциплине «русский»

1. Перечень планируемых результатов обучения по дисциплине

1.1. Цели преподавания дисциплины

Целью преподавания дисциплины «ИТ-модуль "Проектирование на FPGA"» является приобретение обучающимися необходимых знаний, умений и навыков в области проектирования устройств и систем на современной элементной базе – программируемых логических интегральных схемах (ПЛИС) архитектуры FPGA, с использованием возможностей современных систем автоматизированного проектирования и применением языков описания аппаратуры, а также предоставление возможности обучающимся развить и продемонстрировать навыки в области информационных технологий, цифровой электроники и схемотехники.

1.2. Дисциплина является факультативной дисциплиной по направлению образовательной программы высшего образования (далее – ОП ВО).

1.3. Перечень планируемых результатов обучения по дисциплине, соотнесенных с планируемыми результатами освоения ОП ВО.

В результате изучения дисциплины обучающийся должен обладать следующими компетенциями или их частями. Компетенции и индикаторы их достижения приведены в таблице 1.

Таблица 1 – Перечень компетенций и индикаторов их достижения

Категория (группа) компетенции	Код и наименование компетенции	Код и наименование индикатора достижения компетенции
Универсальные компетенции	УК-6 Способен управлять своим временем, выстраивать и реализовывать траекторию саморазвития на основе принципов образования в течение всей жизни	УК-6.3.1 знать основные приемы эффективного управления собственным временем; основные методики самоконтроля, саморазвития и самообразования УК-6.3.2 знать образовательные Интернет-ресурсы, возможности и ограничения образовательного процесса при использовании цифровых технологий УК-6.У.1 уметь управлять своим временем; ставить себе образовательные цели под возникающие жизненные задачи УК-6.У.2 уметь использовать цифровые инструменты в целях самообразования УК-6.В.1 владеть навыками саморазвития и самообразования УК-6.В.2 владеть навыками использования цифровых инструментов для саморазвития и самообразования

2. Место дисциплины в структуре ОП

Дисциплина может базироваться на знаниях, ранее приобретенных обучающимися при изучении следующих дисциплин:

- «Физика»,
- «Компьютерные сети»,
- «Электроника»,
- «Электротехника»,
- «Промышленная электроника»,
- «Основы проектной деятельности»,
- «Алгоритмизация и программирование».

Знания, полученные при изучении материала данной дисциплины, имеют как самостоятельное значение, так и могут использоваться при изучении других дисциплин:

- «Программируемые логические интегральные схемы»,
- «Программирование микроконтроллеров»,
- «Физические методы получения информации».

3. Объем и трудоемкость дисциплины

Данные об общем объеме дисциплины, трудоемкости отдельных видов учебной работы по дисциплине (и распределение этой трудоемкости по семестрам) представлены в таблице 2.

Таблица 2 – Объем и трудоемкость дисциплины

Вид учебной работы	Всего	Трудоемкость по семестрам	
		№5	№6
1	2	3	4
Общая трудоемкость дисциплины, ЗЕ/ (час)	7/ 252	3/ 108	4/ 144
Из них часов практической подготовки			
Аудиторные занятия, всего час.	119	51	68
в том числе:			
лекции (Л), (час)	34	17	17
практические/семинарские занятия (ПЗ), (час)	85	34	51
лабораторные работы (ЛР), (час)			
курсовой проект (работа) (КП, КР), (час)			
экзамен, (час)			
Самостоятельная работа, всего (час)	133	57	76
Вид промежуточной аттестации: зачет, дифф. зачет, экзамен (Зачет, Дифф. зач, Экз.**)	Зачет, Дифф. Зач.	Зачет	Дифф. Зач.

Примечание: ** кандидатский экзамен

4. Содержание дисциплины

4.1. Распределение трудоемкости дисциплины по разделам и видам занятий.

Разделы, темы дисциплины и их трудоемкость приведены в таблице 3.

Таблица 3 – Разделы, темы дисциплины, их трудоемкость

Разделы, темы дисциплины	Лекции (час)	ПЗ (СЗ) (час)	ЛР (час)	КП (час)	СРС (час)
Семестр 5.					
Основы автоматизированного проектирования цифровых устройств на FPGA					
Раздел 1. Введение в программируемые логические интегральные схемы Тема 1.1. Системы-на-кристалле и ПЛИС: история развития Тема 1.2. Особенности архитектуры FPGA. Конфигурируемый логический блок. Look-up table Тема 1.3. Особенности архитектуры FPGA. Блоки ввода-вывода, трассировочные ресурсы, блоки специального назначения Тема 1.4. Области применения FPGA и направления развития	4	4			15

Раздел 2. Этапы проектирования цифрового устройства на FPGA Тема 2.1. Уровни проектирования цифровых устройств Тема 2.2. Этапы проектирования цифровых устройств на FPGA. Способы описания цифровых схем	4	2			13
Раздел 3. Среда автоматизированного проектирования Quartus Тема 3.1. Начало работы над проектом в САПР Quartus Тема 3.2. Утилиты для описания цифровых устройств в САПР Quartus Тема 3.3. Проектирование цифрового устройства с помощью графического редактора Quartus	5	20			14
Раздел 4. Введение в языки описания аппаратуры (HDL) Тема 4.1. История возникновения HDL, основные понятия и базовые концепции. Иерархия проекта на HDL Тема 4.2. Язык описания аппаратуры Verilog HDL.	4	8			15
Итого в семестре:	17	34			57
Семестр 6					
Проектирование цифровых устройств на FPGA с применением языков описания аппаратуры					
Раздел 5. Проектирование сложных цифровых устройств на FPGA с применением языков описания аппаратуры Тема 5.1. Принципы проектирования устройств на FPGA с применением языков описания аппаратуры Тема 5.2. Проектирование цифровых функциональных узлов комбинаторной логики на Verilog HDL. Тема 5.3. Проектирование цифровых функциональных узлов последовательностной логики на Verilog HDL. Тема 5.4. Библиотеки готовых компонентов на Verilog HDL. Тема 5.5. Функции, задачи и сценарии. Их применение в проектировании на FPGA Тема 5.6. Подключение периферийных устройств к FPGA.	10	36			38
Раздел 6. Тестирование и верификация цифровых схем на языке описания аппаратуры Verilog HDL Тема 6.1. Основы функциональной верификации Тема 6.2. Testbench как основной инструмент тестирования и верификации цифрового устройства на FPGA.	7	15			38
Итого в семестре:	17	51			76
Итого	34	85	0	0	133

Практическая подготовка заключается в непосредственном выполнении обучающимися определенных трудовых функций, связанных с будущей профессиональной деятельностью.

4.2. Содержание разделов и тем лекционных занятий.

Содержание разделов и тем лекционных занятий приведено в таблице 4.

Таблица 4 – Содержание разделов и тем лекционного цикла

Номер раздела	Название и содержание разделов и тем лекционных занятий
1	Раздел 1. Введение в программируемые логические интегральные схемы Системы-на-кристалле и ПЛИС: история развития. Архитектуры PLA, PAL, GAL, SPLD, CPLD. Особенности архитектуры FPGA. Конфигурируемый логический блок. Look-up table. Блоки ввода-вывода, трассировочные ресурсы, блоки специального назначения. Области применения FPGA и направления развития.
2	Раздел 2. Этапы проектирования цифрового устройства на FPGA Уровни проектирования цифровых устройств. Жизненный цикл цифровой системы. Поведенческая модель. Функциональная модель. Логическая модель. Электрическая модель. Физическая модель. Базис проектирования. RTL-модель. Этапы проектирования цифровых устройств на FPGA. Способы описания цифровых схем
3	Раздел 3. Среда автоматизированного проектирования Quartus Начало работы над проектом в САПР Quartus. Создание первого проекта. Утилиты для описания цифровых устройств в САПР Quartus. State Machine viewer. RTL- viewer. Pin Planner. Modelsim. Проектирование цифрового устройства с помощью графического редактора Quartus.
4	Раздел 4. Введение в языки описания аппаратуры (HDL) История возникновения HDL, основные понятия и базовые концепции. AHDL, VHDL, Verilog HDL. System Verilog. Иерархия проекта на HDL. Синтезируемые модули. Среда тестирования. Ключевые особенности синтаксиса языка описания аппаратуры Verilog HDL.
5	Раздел 5. Проектирование сложных цифровых устройств на FPGA с применением языков описания аппаратуры Принципы проектирования устройств на FPGA с применением языков описания аппаратуры. Проектирование цифровых функциональных узлов комбинаторной логики на Verilog HDL. Проектирование цифровых функциональных узлов последовательностной логики на Verilog HDL. Библиотеки готовых компонентов на Verilog HDL: от шаблонов и мегафункций до IP-ядра. Функции, задачи и сценарии. Их применение в проектировании на FPGA. Подключение периферийных устройств и элементов к FPGA на примере отладочной платы Terasic DE2-115 на базе FPGA семейства Cyclone IV.
6	Раздел 6. Методы функциональной верификации. Поведенческое и структурное моделирование Тестирование и верификация цифровых схем на языке описания аппаратуры Verilog HDL. Основы функциональной верификации. Testbench как основной инструмент тестирования и верификации цифрового устройства на FPGA. Описание цифровых сигналов. Описание теста и работа с симулятором. Анализ полученных результатов.

4.3. Практические (семинарские) занятия

Темы практических занятий и их трудоемкость приведены в таблице 5.

Таблица 5 – Практические занятия и их трудоемкость

Таблица 5 – Практические занятия и их трудоемкость

№ п/п	Темы практических занятий	Формы практических занятий	Трудоемкость, (час)	Из них практической подготовки, (час)	№ раздела дисциплины
Семестр 5					
1	Введение в программируемые логические интегральные схемы. Особенности различных архитектур ПЛИС	Онлайн-выполнение практических заданий	4		1
2	Основы автоматизированного проектирования цифровых устройств на FPGA	Онлайн-выполнение практических заданий	2		2
3	Разработка комбинационных устройств в графическом редакторе САПР Quartus	решение ситуационных задач, мастер-класс	8		3
4	Разработка последовательностных устройств в графическом редакторе САПР Quartus	решение ситуационных задач, мастер-класс	8		3
5	Разработка модуля счетного устройства с заданным алгоритмом работы в графическом редакторе САПР Quartus	решение ситуационных задач, мастер-класс	4		3
6	Решение задач программирования на языке описания аппаратуры Verilog HDL	Онлайн-выполнение практических заданий, мастер-класс	8		4
Семестр 6					
7	Разработка комбинационных устройств на языке описания аппаратуры Verilog HDL	решение ситуационных задач, мастер-класс	12		5

8	Разработка последовательностных устройств на языке описания аппаратуры Verilog HDL	решение ситуационных задач, мастер-класс	12		5
9	Реализация регистратора дребезга контактов для отладочной платы Terasic DE2-115	решение ситуационных задач, мастер-класс	12		5
10	Тестирование модуля счетного устройства с заданным алгоритмом работы в САПР Quartus	решение ситуационных задач	15		6
Всего			85		

4.4. Лабораторные занятия

Темы лабораторных занятий и их трудоемкость приведены в таблице 6.

Таблица 6 – Лабораторные занятия и их трудоемкость

№ п/п	Наименование лабораторных работ	Трудоемкость, (час)	Из них практической подготовки, (час)	№ раздела дисциплины
Учебным планом не предусмотрено				
Всего				

4.5. Курсовое проектирование/ выполнение курсовой работы

Учебным планом не предусмотрено

4.6. Самостоятельная работа обучающихся

Виды самостоятельной работы и ее трудоемкость приведены в таблице 7.

Таблица 7 – Виды самостоятельной работы и ее трудоемкость

Вид самостоятельной работы	Всего, час	Семестр 5, час	Семестр 6, час
1	2	3	4
Изучение теоретического материала дисциплины (ТО)			
Курсовое проектирование (КП, КР)			
Расчетно-графические задания (РГЗ)			
Выполнение реферата (Р)			
Подготовка к текущему контролю успеваемости (ТКУ)			

Домашнее задание (ДЗ)			
Контрольные работы заочников (КРЗ)			
Подготовка к промежуточной аттестации (ПА)			
Всего:	133	57	76

5. Перечень учебно-методического обеспечения
для самостоятельной работы обучающихся по дисциплине (модулю)
Учебно-методические материалы для самостоятельной работы обучающихся указаны в п.п. 7-11.

6. Перечень печатных и электронных учебных изданий
Перечень печатных и электронных учебных изданий приведен в таблице 8.
Таблица 8– Перечень печатных и электронных учебных изданий

Шифр/ URL адрес	Библиографическая ссылка	Количество экземпляров в библиотеке (кроме электронных экземпляров)
https://e.lanbook.com/book/322511	Ушенина, И. В. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И. В. Ушенина. — Санкт-Петербург: Лань, 2022. — 408 с.	
https://e.lanbook.com/book/171183	Богатилов, Е.В. Язык Verilog и проектирование цифровых устройств на ПЛИС: учеб.-метод. пособие/ Е.В. Богатилов, А.Н. Шебанов. - Воронеж : ВГУ, 2018. — 61 с.	
https://e.lanbook.com/book/398114	Лютов, А.Г. Язык Verilog для программирования ПЛИС : учебное пособие / А. Г. Лютов, В. Н. Арбузов, М. Б. Новоженин. — Москва : РТУ МИРЭА, 2023. — 101 с.	
M80	Проектирование цифровых устройств на базе микросхем программируемой логики: учеб. пособие / А. В. Морозов, В. А. Ненашев. - СПб.: ГУАП, 2021. - 78 с.	
C89	Разработка динамически реконфигурируемых систем и сетей на кристалле: учеб. пособие / Е. А. Суворова, Н. А. Матвеева, Ю. Е. Шейнин. – СПб.: ГУАП, 2016 – 75 с.	
M33	Проектирование СБИС и Систем-на-кристалле: учеб.-метод. пособие / Н. А. Матвеева, Е. А. Суворова, Ю. Е. Шейнин. - СПб.: Изд-во ГУАП, 2016. - 51 с.	
https://e.lanbook.com/book/73058	Наваби, З. Проектирование встраиваемых систем на ПЛИС / З. Наваби; перевод с английского В. В. Соловьева. — Москва: ДМК Пресс, 2016. — 464 с.	

7. Перечень электронных образовательных ресурсов информационно-телекоммуникационной сети «Интернет»

Перечень электронных образовательных ресурсов информационно-телекоммуникационной сети «Интернет», необходимых для освоения дисциплины приведен в таблице 9.

Таблица 9 – Перечень электронных образовательных ресурсов информационно-телекоммуникационной сети «Интернет»

URL адрес	Наименование
http://altera.ru	Altera ПЛИС - микросхемы программируемой логики
https://marsohod.org	FPGA блог: опыт, отладка, программирование
https://lms.guap.ru/	Система дистанционного обучения ГУАП

8. Перечень информационных технологий

8.1. Перечень программного обеспечения, используемого при осуществлении образовательного процесса по дисциплине.

Перечень используемого программного обеспечения представлен в таблице 10.

Таблица 10– Перечень программного обеспечения

№ п/п	Наименование
1.	Quartus II или Quartus Prime Web Edition (9.0 и выше)

8.2. Перечень информационно-справочных систем,используемых при осуществлении образовательного процесса по дисциплине

Перечень используемых информационно-справочных систем представлен в таблице 11.

Таблица 11– Перечень информационно-справочных систем

№ п/п	Наименование
	Не предусмотрено

9. Материально-техническая база

Состав материально-технической базы, необходимой для осуществления образовательного процесса по дисциплине, представлен в таблице12.

Таблица 12 – Состав материально-технической базы

№ п/п	Наименование составной части материально-технической базы	Номер аудитории (при необходимости)
1	Система дистанционного обучения ГУАП (СДО ГУАП) – lms.guap.ru	

10. Оценочные средства для проведения промежуточной аттестации

10.1. Состав оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине приведен в таблице 13.

Таблица 13 – Состав оценочных средств для проведения промежуточной аттестации

Вид промежуточной аттестации	Перечень оценочных средств
Дифференцированный зачёт	Тесты;
Зачет	Тесты;

10.2. В качестве критериев оценки уровня сформированности (освоения) компетенций обучающимися применяется 5-балльная шкала оценки сформированности компетенций, которая приведена в таблице 14. В течение семестра может использоваться 100-балльная шкала модульно-рейтинговой системы Университета, правила использования которой, установлены соответствующим локальным нормативным актом ГУАП.

Таблица 14 –Критерии оценки уровня сформированности компетенций

Оценка компетенции 5-балльная шкала	Характеристика сформированных компетенций
«отлично» «зачтено»	– обучающийся глубоко и всесторонне усвоил программный материал; – уверенно, логично, последовательно и грамотно его излагает; – опираясь на знания основной и дополнительной литературы, тесно привязывает усвоенные научные положения с практической деятельностью направления; – умело обосновывает и аргументирует выдвигаемые им идеи; – делает выводы и обобщения; – свободно владеет системой специализированных понятий.
«хорошо» «зачтено»	– обучающийся твердо усвоил программный материал, грамотно и по существу излагает его, опираясь на знания основной литературы; – не допускает существенных неточностей; – увязывает усвоенные знания с практической деятельностью направления; – аргументирует научные положения; – делает выводы и обобщения; – владеет системой специализированных понятий.
«удовлетворительно» «зачтено»	– обучающийся усвоил только основной программный материал, по существу излагает его, опираясь на знания только основной литературы; – допускает несущественные ошибки и неточности; – испытывает затруднения в практическом применении знаний направления; – слабо аргументирует научные положения; – затрудняется в формулировании выводов и обобщений; – частично владеет системой специализированных понятий.
«неудовлетворительно» «не зачтено»	– обучающийся не усвоил значительной части программного материала; – допускает существенные ошибки и неточности при рассмотрении проблем в конкретном направлении; – испытывает трудности в практическом применении знаний; – не может аргументировать научные положения; – не формулирует выводов и обобщений.

10.3. Типовые контрольные задания или иные материалы.

Вопросы (задачи) для экзамена представлены в таблице 15.

Таблица 15 – Вопросы (задачи) для экзамена

№ п/п	Перечень вопросов (задач) для экзамена	Код индикатора
	Учебным планом не предусмотрено	

Вопросы (задачи) для зачета / дифф. зачета представлены в таблице 16.

Таблица 16 – Вопросы (задачи) для зачета / дифф. зачета

№ п/п	Перечень вопросов (задач) для зачета / дифф. зачета	Код индикатора
-------	---	----------------

	Учебным планом не предусмотрено	УК-6.3.1
		УК-6.3.2
		УК-6.У.1
		УК-6.У.2
		УК-6.В.1
		УК-6.В.2

Перечень тем для курсового проектирования/выполнения курсовой работы представлены в таблице 17.

Таблица 17 – Перечень тем для курсового проектирования/выполнения курсовой работы

№ п/п	Примерный перечень тем для курсового проектирования/выполнения курсовой работы
	Учебным планом не предусмотрено

Вопросы для проведения промежуточной аттестации в виде тестирования представлены в таблице 18.

Таблица 18 – Примерный перечень вопросов для тестов

№ п/п	Примерный перечень вопросов для тестов	Код индикатора
1.	Прочитайте текст и выберите один правильный ответ. Определите, какой блок ПЛИС архитектуры FPGA основан на применении структуры данных Look-Up Table. 1) Конфигурируемый логический блок 2) Блок цифровой обработки сигналов 3) Трассировочные ресурсы 4) Конфигурационная память	УК-6.3.1
2.	Прочитайте текст и выберите один правильный ответ. Выберите из перечисленных инструментов САПР Quartus тот, который позволяет осуществить трассировку объявленных в коде портов на выводы платы FPGA. 1) Pin Planner 2) RTL Viewer 3) State Machine Viewer 4) Modelsim-Altera	УК-6.3.2
3.	Прочитайте текст и выберите один правильный ответ. Выберите правильную последовательность действий, которую нужно произвести для проверки пути к Modelsim-Altera, ошибка в котором может привести к невозможности процедуры компьютерного тестирования разработанного цифрового устройства. 1) Tools -> Options -> EDA Tool Options->Modelsim-Altera 2) Tools -> Options -> Libraries->Modelsim-Altera 3) Assignments -> Options -> Processing->Modelsim-Altera 4) Assignments -> Options -> EDA Tool Options->Modelsim-Altera	УК-6.3.2
4.	Прочитайте текст и выберите один правильный ответ. Определите, какая математическая операция лежит в основе	УК-6.3.1

	блоков цифровой обработки сигналов ПЛИС архитектуры FPGA. 1) Сложение с накоплением 2) Возведение в степень 3) Умножение с накоплением 4) Деление	
5.	Прочитайте текст и выберите один правильный ответ. Найдите среди предложенных терминов базовую единицу описания в проекте на языке описания аппаратуры Verilog. 1) Файл верхнего уровня 2) Модуль 3) Порт 4) Логический вентиль	УК-6.3.1
6.	Прочитайте текст и выберите один правильный ответ. Выберите верное утверждение, касающееся правил именования в языке описания аппаратуры Verilog. 1) В именах модулей, портов и переменных на Verilog HDL нельзя использовать ключевые слова, они могут быть только составной частью имени. 2) Имена модулей, портов и переменных на Verilog HDL могут состоять только из латинских букв и цифр. 3) Имена модулей, портов и переменных на Verilog HDL могут состоять из букв латиницы и кириллицы, а также цифр. 4) Цифры и знак \$ могут быть первыми в имени модуля, порта или переменной на Verilog HDL.	УК-6.3.2
7.	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов Определите, какие из перечисленных свойств и ограничений относятся к функции на языке описания аппаратуры Verilog. 1) Должна выполняться за нулевой промежуток модельного времени. 2) Не может содержать операторов задержки или контроля событий. 3) Может изменять состояние переменных. 4) Всегда возвращает в качестве результата только одно значение. 5) Список формальных параметров может содержать аргументы типа output или inout.	УК-6.3.1
8.	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов Выберите из перечисленных технологий развития FPGA те, которые относятся к совершенствованиям технологий производства. 1) Технология SSI (Stacked Silicon Interconnect) 2) Применение DSP Builder в Matlab 3) Распространение программируемых систем на кристалле	УК-6.3.2

	4) Разработка 3D-FPGA 5) Повышение уровня абстракции описания цифрового устройства	
9.	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов Определите, какие из перечисленные конструкций языка описания аппаратуры Verilog являются несинтезируемыми: 1) Initial 2) Input 3) Wire 4) Repeat 5) \$display	УК-6.3.1
10.	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов Определите, какие из перечисленных свойств и ограничений относятся к задаче (task) на языке описания аппаратуры Verilog. 1) Должна выполняться за нулевой промежуток модельного времени. 2) Может изменять состояние переменных. 3) Всегда возвращает в качестве результата только одно значение. 4) Список формальных параметров может содержать аргументы типа output или inout. 5) Всегда возвращает в качестве результата только одно значение.	УК-6.3.2
11.	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов Определите, какие из перечисленные конструкций языка описания аппаратуры Verilog являются синтезируемыми: 1) Input 2) \$fopen 3) Reg 4) Repeat 5) Wire	УК-6.3.1
12.	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов Выберите этапы проектирования цифрового устройства на FPGA, выполняемые в рамках логического и физического синтеза. 1) Распределение 2) Генерирование файла конфигурации 3) Реализация 4) Трассировка 5) Верификация	УК-6.3.1

13.	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце. Запишите выбранные цифры под соответствующими буквами. Соотнесите тип порта модуля с соответствующим ему типом данных сигнала на языке описания аппаратуры Verilog. <table><tr><th colspan="2">Категория порта модуля</th><th colspan="2">Тип данных (сигнал)</th></tr><tr><td>1</td><td>Входной порт (input)</td><td>А</td><td>Внутри модуля - только wire, а вне модуля - как wire, так и reg.</td></tr><tr><td>2</td><td>Выходной порт (output)</td><td>Б</td><td>Внутри модуля - как wire, так и reg, а вне модуля – только wire</td></tr><tr><td>3</td><td>Двухнаправленный порт (inout)</td><td>В</td><td>Внутри и вне модуля - только wire</td></tr></table>	Категория порта модуля		Тип данных (сигнал)		1	Входной порт (input)	А	Внутри модуля - только wire, а вне модуля - как wire, так и reg.	2	Выходной порт (output)	Б	Внутри модуля - как wire, так и reg, а вне модуля – только wire	3	Двухнаправленный порт (inout)	В	Внутри и вне модуля - только wire	УК-6.У.1				
Категория порта модуля		Тип данных (сигнал)																				
1	Входной порт (input)	А	Внутри модуля - только wire, а вне модуля - как wire, так и reg.																			
2	Выходной порт (output)	Б	Внутри модуля - как wire, так и reg, а вне модуля – только wire																			
3	Двухнаправленный порт (inout)	В	Внутри и вне модуля - только wire																			
14.	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце. Запишите выбранные цифры под соответствующими буквами. Соотнесите тип файла проекта в САПР Quartus с его назначением. <table><tr><th colspan="2">Тип файла</th><th colspan="2">Назначение</th></tr><tr><td>1</td><td>Vector Waveform/University Program File (.VWF)</td><td>А</td><td>Функциональное и временное моделирование с помощью графического редактора временных диаграмм</td></tr><tr><td>2</td><td>State Machine File (.SMF)</td><td>Б</td><td>Формирование диаграммы состояний и графа переходов конечного автомата</td></tr><tr><td>3</td><td>Block diagram/Schematic File (.BDF)</td><td>В</td><td>Разработка схемы устройства в графическом редакторе</td></tr><tr><td>4</td><td>Project File (.QPF)</td><td>Г</td><td>Общий файл проекта</td></tr></table>	Тип файла		Назначение		1	Vector Waveform/University Program File (.VWF)	А	Функциональное и временное моделирование с помощью графического редактора временных диаграмм	2	State Machine File (.SMF)	Б	Формирование диаграммы состояний и графа переходов конечного автомата	3	Block diagram/Schematic File (.BDF)	В	Разработка схемы устройства в графическом редакторе	4	Project File (.QPF)	Г	Общий файл проекта	УК-6.У.2
Тип файла		Назначение																				
1	Vector Waveform/University Program File (.VWF)	А	Функциональное и временное моделирование с помощью графического редактора временных диаграмм																			
2	State Machine File (.SMF)	Б	Формирование диаграммы состояний и графа переходов конечного автомата																			
3	Block diagram/Schematic File (.BDF)	В	Разработка схемы устройства в графическом редакторе																			
4	Project File (.QPF)	Г	Общий файл проекта																			
15.	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце. Запишите выбранные цифры под соответствующими буквами. Соотнесите инструмент проектирования САПР Quartus с его	УК-6.У.2																				

	назначением.												
	Инструмент проектирования		Назначение										
	1	Pin Planner	А	Управление трассировкой (маппингом) входов и выходов разрабатываемой схемы на физические выводы FPGA									
	2	RTL Viewer	Б	Визуализация структуры цифрового проекта на основе комбинационной логики, регистров и их связей.									
	3	MegaWizard Plug-in	В	Приложение с графическим интерфейсом, предназначенное для генерации различных модулей из специализированных шаблонов – мегафункций									
	4	Platform Designer	Г	Инструмент, который предназначен для интеграции специализированных шаблонов – IP-блоков – в единое цифровое устройство									
16.	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце. Запишите выбранные цифры под соответствующими буквами. Соотнесите утверждение о процессе изменения значения переменной с типом присваивания в языке описания аппаратуры Verilog. <table><tr><td colspan="2">Тип присваивания</td><td colspan="2">Тип данных</td></tr><tr><td>1</td><td>Непрерывное</td><td>А</td><td>Повторный расчет переменной производится при изменениях любого из сигналов, участвующих в</td></tr></table>				Тип присваивания		Тип данных		1	Непрерывное	А	Повторный расчет переменной производится при изменениях любого из сигналов, участвующих в	УК-6.У.1
Тип присваивания		Тип данных											
1	Непрерывное	А	Повторный расчет переменной производится при изменениях любого из сигналов, участвующих в										

				выражении, которое ее описывает.	
	2	Блокирующее	Б	Переменная сразу меняет свое значение. Значение может быть несколько раз переприсвоено внутри поведенческого блока.	
	3	Неблокирующее	В	Переменная меняет свое значение только в момент выхода из поведенческого блока.	
17.	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце. Запишите выбранные цифры под соответствующими буквами. Соотнесите уровень представления цифрового устройства с описанием устройства на данном уровне.				УК-6.У.1
	Уровень представления		Утверждение		
	1	Поведенческий	А	Полная информация о внутреннем строении кристалла цифрового устройства: размеры базовых элементов, параметры сигнальных линий, их расположение на кристалле.	
	2	Функциональный	Б	Схемотехническое описание устройства с применением транзисторов, резисторов, конденсаторов и проводящих линий.	
	3	Логический	В	Описание устройства в виде набора простейших базовых логических вентилей и связей между ними.	
	4	Электрический	Г	Внутренняя структура проектируемого цифрового устройства, состоящая из блоков, поведение и структура которых хорошо известны.	
	5	Физический	Д	«Черный ящик» с известным интерфейсом внешних контактов.	

18.	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце. Запишите выбранные цифры под соответствующими буквами. Соотнесите оператор языка описания аппаратуры Verilog с его назначением. <table><tr><th colspan="2">Оператор Verilog HDL</th><th colspan="2">Назначение</th></tr><tr><td>1</td><td>>></td><td>А</td><td>Арифметический сдвиг вправо</td></tr><tr><td>2</td><td><<</td><td>Б</td><td>Конкатенация</td></tr><tr><td>3</td><td><<<</td><td>В</td><td>Арифметический сдвиг влево</td></tr><tr><td>4</td><td>{}</td><td>Г</td><td>Логический сдвиг влево</td></tr><tr><td>5</td><td>>>></td><td>Д</td><td>Логический сдвиг вправо</td></tr></table>	Оператор Verilog HDL		Назначение		1	>>	А	Арифметический сдвиг вправо	2	<<	Б	Конкатенация	3	<<<	В	Арифметический сдвиг влево	4	{}	Г	Логический сдвиг влево	5	>>>	Д	Логический сдвиг вправо	УК-6.У.2
Оператор Verilog HDL		Назначение																								
1	>>	А	Арифметический сдвиг вправо																							
2	<<	Б	Конкатенация																							
3	<<<	В	Арифметический сдвиг влево																							
4	{}	Г	Логический сдвиг влево																							
5	>>>	Д	Логический сдвиг вправо																							
19.	Прочитайте текст и установите последовательность. Запишите соответствующую последовательность букв слева направо. Упорядочьте следующие этапы развития архитектуры программируемых логических интегральных схем в порядке их появления от раннего к позднему: А) PLA Б) PAL В) CPLD Г) FPGA Д) GAL	УК-6.У.1																								
20.	Прочитайте текст и установите последовательность. Запишите соответствующую последовательность букв слева направо. Упорядочьте модули описания проекта на ПЛИС, реализуемого в САПР, в порядке от высшего уровня иерархии к низшему: А) Базовый модуль Б) Субмодуль В) Головной модуль Г) Модуль-оболочка	УК-6.У.2																								
21.	Прочитайте текст и установите последовательность. Запишите соответствующую последовательность букв слева направо. Упорядочьте элементы описания модуля на языке описания аппаратуры Verilog в порядке от объявления модуля до его закрытия: А) Объявление портов Б) Объявление локальных параметров, сигналов и переменных В) Синтезируемые конструкции Г) Объявление глобальных параметров	УК-6.У.2																								
22.	Прочитайте текст и установите последовательность. Запишите соответствующую последовательность букв слева направо. Упорядочьте этапы проектирования цифрового устройства на FPGA в порядке от начала проектирования до его завершения:	УК-6.У.1																								

	А) Спецификация цифрового устройства. Б) Функциональное и структурное описание устройства. В) RTL-синтез. Г) Функциональное моделирование. Д) Физический синтез, размещение и трассировка. Е) Тестирование и верификация.	
23.	Прочитайте текст и установите последовательность. Запишите соответствующую последовательность букв слева направо. Упорядочьте этапы формирования нового проекта в САПР Quartus в порядке от начала настройки файла проекта до её завершения: А) Ввод названия файла проекта, объекта верхнего уровня и выбор директории Б) Выбор типа проекта (пустой или на основе существующего файла). В) Добавление файлов и подключение библиотек в проект Г) Выбор типа микросхемы ПЛИС. Д) Выбор инструментов моделирования. Е) Проверка краткой информации о настройках проекта.	УК-6.У.2
24.	Прочитайте текст и установите последовательность. Запишите соответствующую последовательность букв слева направо. Расставьте уровни представления цифрового устройства в порядке от наименее абстрактного к наиболее абстрактному: А) Поведенческий Б) Функциональный В) Логический Г) Электрический Д) Физический	УК-6.У.1
25.	Прочитайте текст и запишите развернутый обоснованный ответ. Найдите ошибки в приведенном описании модуля полного восьмиразрядного шифратора на языке описания аппаратуры Verilog. Ответ обоснуйте. <pre> 1 module encoder 2 (input [7:0] a, 3 output reg [2:0] y); 4 always @(a) 5 begin 6 if (a == 7'b00000001) y = 0; 7 else if(a == 7'b00000010) y = 1; 8 else if (a == 7'b00000100) y = 2; 9 else if (a == 7'b00001000) y = 3; 10 else if (a == 7'b00010000) y = 4; 11 else if (a == 7'b00100000) y = 5; 12 else if (a == 7'b01000000) y = 6; 13 else if (a == 7'b10000000) y = 7; 14 else y = 3'bX; 15 end </pre>	УК-6.В.2

	16 endmodule	
26.	Прочитайте текст и запишите развернутый обоснованный ответ. Найдите ошибки в приведенном описании модуля счетчика на языке описания аппаратуры Verilog. Ответ обоснуйте. <pre> 1 module counter (clk, reset, enable, count); 2 input clk, reset, enable; 3 output [4:0] count; 4 reg [4:0] count; 5 always @ (posedge clk) 6 if ((reset == 1'b1) or (count == 4'd10)) begin 7 count <= 0; 8 end else if (enable == 1'b1) begin 9 count <= count + 1; 10 end 11 endmodule </pre>	УК-6.В.2
27.	Прочитайте текст и запишите развернутый обоснованный ответ. Покажите, в чем заключается различие между результатами применения операторов арифметического и логического сдвига на языке Verilog.	УК-6.В.1
28.	Прочитайте текст и запишите развернутый обоснованный ответ. Покажите, в чем заключается различие между результатами применения операторов побитового и логического И на языке Verilog.	УК-6.В.1
29.	Прочитайте текст и запишите развернутый обоснованный ответ. Распишите ограничения для функции на языке описания аппаратуры Verilog.	УК-6.В.2
30.	Прочитайте текст и запишите развернутый обоснованный ответ. Распишите ключевые особенности архитектуры FPGA, отличающие ее от других ПЛИС.	УК-6.В.1

Ключи правильных ответов на тесты размещены в Приложении 1 к РПД и находятся у специалистов по УМР кафедры 41, заместителя заведующего кафедрой и руководителя образовательной программы.

Система оценивания тестовых заданий показана в таблице 18.1

Таблица 18.1 – Система оценивания тестовых заданий

№	Указания по оцениванию	Результат оценивания (баллы, полученные за выполнение \ характеристика правильности ответа)
---	------------------------	---

1	Задание закрытого типа на установление соответствия считается верным, если установлены все соответствия (позиции из одного столбца верно сопоставлены с позициями другого столбца)	Полное совпадение с верным ответом оценивается 1 баллом, неверный ответ или его отсутствие – 0 баллов (либо указывается «верно» \ «неверно»)
2	Задание закрытого типа на установление последовательности считается верным, если правильно указана вся последовательность цифр	Полное совпадение с верным ответом оценивается 1 баллом, если допущены ошибки или ответ отсутствует – 0 баллов (либо указывается «верно» \ «неверно»)
3	Задание комбинированного типа с выбором одного верного ответа из четырех предложенных и обоснованием выбора считается верным, если правильно указана цифра и приведены конкретные аргументы, используемые при выборе ответа	Полное совпадение с верным ответом оценивается 1 баллом, неверный ответ или его отсутствие – 0 баллов (либо указывается «верно» \ «неверно»)
4	Задание комбинированного типа с выбором нескольких вариантов ответа из предложенных и развернутым обоснованием выбора считается верным, если правильно указаны цифры и приведены конкретные аргументы, используемые при выборе ответов	Полное совпадение с верным ответом оценивается 1 баллом, если допущены ошибки или ответ отсутствует – 0 баллов (либо указывается «верно» \ «неверно»)
5	Задание открытого типа с развернутым ответом считается верным, если ответ совпадает с эталонным по содержанию и полноте	Правильный ответ за задание оценивается в 3 балла, если допущена одна ошибка \ неточность \ ответ правильный, но не полный - 1 балл, если допущено более 1 ошибки \ ответ неправильный \ ответ отсутствует – 0 баллов (либо указывается «верно» \ «неверно»)

Инструкция по выполнению тестового задания находится в таблице 18.2.

Таблица 18.2 - Инструкция по выполнению тестового задания

№	Тип задания	Инструкция
1	Задание закрытого типа на установление соответствия	Прочитайте текст и установите соответствие. К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце
2	Задание закрытого типа на установление последовательности	Прочитайте текст и установите последовательность Запишите соответствующую последовательность букв слева направо
3	Задание комбинированного типа с выбором одного	Прочитайте текст, выберите правильный ответ и запишите аргументы,

	верного ответа из четырех предложенных и обоснованием выбора	обосновывающие выбор ответа
4	Задание комбинированного типа с выбором нескольких вариантов ответа из предложенных и развернутым обоснованием выбора	Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов
5	Задание открытого типа с развернутым ответом	Прочитайте текст и запишите развернутый обоснованный ответ

Перечень тем контрольных работ по дисциплине обучающихся заочной формы обучения, представлены в таблице 19.

Таблица 19 – Перечень контрольных работ

№ п/п	Перечень контрольных работ
	Не предусмотрено

10.4. Методические материалы, определяющие процедуры оценивания индикаторов, характеризующих этапы формирования компетенций, содержатся в локальных нормативных актах ГУАП, регламентирующих порядок и процедуру проведения текущего контроля успеваемости и промежуточной аттестации обучающихся ГУАП.

11. Методические указания для обучающихся по освоению дисциплины

11.1. Методические указания для обучающихся по освоению лекционного материала.

Основное назначение лекционного материала – логически стройное, системное, глубокое и ясное изложение учебного материала. Назначение современной лекции в рамках дисциплины не в том, чтобы получить всю информацию по теме, а в освоении фундаментальных проблем дисциплины, методов научного познания, новейших достижений научной мысли. В учебном процессе лекция выполняет методологическую, организационную и информационную функции. Лекция раскрывает понятийный аппарат конкретной области знания, её проблемы, дает цельное представление о дисциплине, показывает взаимосвязь с другими дисциплинами.

Планируемые результаты при освоении обучающимися лекционного материала:

- получение современных, целостных, взаимосвязанных знаний, уровень которых определяется целевой установкой к каждой конкретной теме;
- получение опыта творческой работы совместно с преподавателем;
- развитие профессионально-деловых качеств, любви к предмету и самостоятельного творческого мышления.
- появление необходимого интереса, необходимого для самостоятельной работы;
- получение знаний о современном уровне развития науки и техники и о прогнозе их развития на ближайшие годы;
- научиться методически обрабатывать материал (выделять главные мысли и положения, приходить к конкретным выводам, повторять их в различных формулировках);
- получение точного понимания всех необходимых терминов и понятий.

Лекционный материал может сопровождаться демонстрацией слайдов и использованием раздаточного материала при проведении коротких дискуссий об особенностях применения отдельных тематик по дисциплине.

Структура предоставления лекционного материала:

Раздел 1. Введение в программируемые логические интегральные схемы

Тема 1.1. Системы-на-кристалле и ПЛИС: основные понятия и история развития.

Понятия «система-на-кристалле» и «программируемая логическая интегральная схема» (ПЛИС). История развития ПЛИС. Архитектуры PLA, PAL, GAL, SPLD, CPLD.

Тема 1.2. Особенности архитектуры FPGA. Конфигурируемый логический блок. Look-up table»

Архитектура FPGA. Отличия от CPLD. Островная архитектура и ASMBL. Конфигурируемый логический блок. Look-up table (LUT). Программирование LUT. Примеры логических элементов FPGA различных семейств.

Тема 1.3. Особенности архитектуры FPGA. Блоки ввода-вывода, трассировочные ресурсы, блоки специального назначения

Блоки ввода-вывода и их связь с конфигурируемыми логическими блоками. Трассировочные ресурсы, их виды. Блоки специального назначения: блочное ОЗУ, блоки цифровой обработки сигналов (ЦОС), микропроцессорные ядра, софт-процессоры.

Тема 1.4 Области применения FPGA и направления развития.

Применение FPGA: устройства ЦОС, высокоскоростная передача данных, реализация нейронных процессоров и моделирование квантовых вычислений, обработка радиолокационной информации. Совершенствование технологий производства: 3D-FPGA, SSI, EMIB. Оптимизация трассировочных ресурсов. Повышение уровня абстракции описаний устройств. Программируемые системы на кристалле для организации высокопроизводительной обработки данных.

Раздел 2. Этапы проектирования цифрового устройства на FPGA

Тема 2.1. Уровни проектирования цифровых устройств

Поведенческий уровень. Функциональный уровень. Логический уровень. Электрический уровень. Физический уровень. Базис проектирования.

Тема 2.2 Этапы проектирования цифровых устройств на FPGA. Способы описания цифровых схем

Жизненный цикл цифровой системы. Этапы проектирования цифровых устройств на FPGA. Способы описания цифровых схем: графические и на языках описания аппаратуры. RTL-модель.

Раздел 3. Среда автоматизированного проектирования Quartus

Тема 3.1 Начало работы над проектом в САПР Quartus

Начало работы над проектом в САПР Quartus. Установка и создание первого проекта.

Тема 3.2. Утилиты для описания цифровых устройств в среде Quartus

Утилиты для описания цифровых устройств в САПР Quartus. State Machine viewer. RTL-viewer. Pin Planner. Modelsim.

Тема 3.3 Проектирование схемы простейшего цифрового устройства с помощью графического редактора схем в Quartus

Проектирование простейшего цифрового устройства из логических вентилей с помощью графического редактора Quartus. Реализация на примере всех этапов проектирования. Проверка таблицы истинности полученного устройства. Применение мегафункции как готового цифрового функционального блока.

Раздел 4. Введение в языки описания аппаратуры (HDL)

Тема 4.1 История возникновения HDL, основные понятия и базовые концепции. Иерархия проекта на HDL

История возникновения HDL, основные понятия и базовые концепции. AHDL, VHDL, Verilog HDL. Иерархия проекта на HDL. Модуль как основная единица иерархии. Синтезируемые модули. Среда тестирования.

Тема 4.2 Язык описания аппаратуры Verilog HDL.

Особенности и отличия Verilog HDL. Синтаксис. Типы данных. Ключевые операторы: assign, always, if-else, case и др. Список чувствительности модуля. Непрерывное, блокирующее и неблокирующее присваивание. Стандарт SystemVerilog. Решение простейших задач программирования на языке Verilog HDL.

Раздел 5. Проектирование сложных цифровых устройств на FPGA с применением языков описания аппаратуры

Тема 5.1. Принципы проектирования устройств на FPGA с применением языков описания аппаратуры

Ключевые принципы проектирования на языках описания аппаратуры. Параллелизм как базовый принцип проектирования цифровых устройств на FPGA.

Тема 5.2. Проектирование цифровых функциональных узлов комбинаторной логики на Verilog HDL.

Проектирование цифровых функциональных узлов комбинационной логики на Verilog HDL: компаратор, сумматор, шифратор, дешифратор, мультиплексор, демультиплексор, преобразователь кода и др.

Тема 5.3. Проектирование цифровых функциональных узлов последовательностной логики на Verilog HDL.

Проектирование цифровых функциональных узлов последовательностной логики на Verilog HDL: триггер, регистр, счетчик, модуль памяти, модуль счета и др.

Тема 5.4. Библиотеки готовых компонентов на Verilog HDL.

Шаблоны. Мегафункции на языке описания аппаратуры. IP-ядра.

Тема 5.5. Функции, задачи и сценарии. Их применение в проектировании на FPGA

Функции, задачи и сценарии: отличия, особенности, применение в проектировании устройств на FPGA.

Тема 5.6. Подключение периферийных устройств к FPGA.

Подключение периферийных устройств (кнопки, дисплей, генераторы сигналов и др.) к ПЛИС на примере отладочной платы Terasic DE2-115.

Раздел 6. Тестирование и верификация цифровых схем на языке описания аппаратуры Verilog HDL

Тема 6.1. Основы функциональной верификации

Тестирование и верификация. Функциональная верификация. Особенности верификации на Verilog HDL. План тестирования и верификации работы устройства.

Тема 6.2. Testbench как основной инструмент тестирования и верификации цифрового устройства на FPGA.

Тестовый модуль (testbench) и его место в иерархии проекта. Основные операторы, используемые для написания testbench. Описание цифровых сигналов. Описание теста и работа с симулятором.

Курс размещён в системе дистанционного обучения ГУАП (СДО ГУАП).

Методические указания по освоению лекционного материала имеются в системе дистанционного обучения ГУАП (СДО ГУАП). Лекционный материал дисциплины представляется с применением электронного обучения, дистанционных образовательных технологий (онлайн-курс).

11.2. Методические указания для обучающихся по участию в семинарах (*не предусмотрено учебным планом по данной дисциплине*)

11.3. Методические указания для обучающихся по прохождению практических занятий

Практическое занятие является одной из основных форм организации учебного процесса, заключающаяся в выполнении обучающимися под руководством преподавателя комплекса учебных заданий с целью усвоения научно-теоретических основ учебной дисциплины, приобретения умений и навыков, опыта творческой деятельности.

Целью практического занятия для обучающегося является привитие обучающимся умений и навыков практической деятельности по изучаемой дисциплине.

Планируемые результаты при освоении обучающимися практических занятий:

- закрепление, углубление, расширение и детализация знаний при решении конкретных задач;
- развитие познавательных способностей, самостоятельности мышления, творческой активности;
- овладение новыми методами и методиками изучения конкретной учебной дисциплины;
- выработка способности логического осмысления полученных знаний для выполнения заданий;
- обеспечение рационального сочетания коллективной и индивидуальной форм обучения.

Требования к проведению практических занятий 5 семестра:

Студентам требуется выполнить следующие практические работы.

1. Введение в программируемые логические интегральные схемы. Особенности различных архитектур ПЛИС
2. Основы автоматизированного проектирования цифровых устройств на FPGA
3. Разработка комбинационного устройства в графическом редакторе САПР Quartus
4. Разработка последовательностного устройства в графическом редакторе САПР Quartus
5. Разработка модуля счетного устройства с заданным алгоритмом работы в графическом редакторе САПР Quartus
6. Решение задач программирования на языке описания аппаратуры Verilog HDL

Студентам требуется предоставить отчеты по практическим работам № 3-6, так как навыки и умения, полученные при выполнении этих работ, помогут реализовать практико-ориентированный проект 6 семестра. В зависимости от уровня и полноты раскрытия темы студенты могут получить от 1 до 10 баллов за выполнение каждого задания. Набранные баллы суммируются и формируют итоговый балл при выставлении промежуточной аттестации по дисциплине в 5 семестре.

Выполнение работ № 1, 2 будет проверено с помощью тестовых заданий. Максимальный балл при проверке составит 10 баллов. При изменении количества тестовых мероприятий максимальный балл может быть скорректирован.

Требования к проведению практических занятий 6 семестра:

Студентам требуется выполнить пять практических работ, а также практико-ориентированный проект. Его выполнение обязательно для получения дифференцированного зачета по дисциплине. Практико-ориентированный проект может быть выполнен индивидуально или в группе. При выполнении группой студентов одновременно будет проведено моделирование проектной работы по agile.

Студентам требуется выполнить следующие практические работы.

1. Принципы проектирования на языке Verilog HDL в среде автоматизированного проектирования Quartus
2. Разработка комбинационного устройства на языке описания аппаратуры Verilog HDL
3. Разработка последовательностного устройства на языке описания аппаратуры Verilog HDL
4. Проектирование типовых функциональных узлов на языке Verilog HDL с применением шаблонов и мегафункций
5. Реализация регистратора дребезга контактов для отладочной платы Terasic DE2-115

Студентам требуется предоставить отчеты по практическим работам, так как навыки и умения, полученные при выполнении этих работ, помогут реализовать практико-ориентированный проект. В зависимости от уровня и полноты раскрытия темы студенты могут получить от 1 до 10 баллов за выполнение каждого задания. Набранные баллы суммируются и формируют итоговый балл при выставлении промежуточной аттестации по дисциплине в 6 семестре.

Практико-ориентированный проект моделирует работу инженера в области разработки сложнофункциональных блоков или команды инженеров по проектированию сложнофункционального устройства, выбранного студентами самостоятельно из числа предложенных. На первом этапе работы требуется разработать схему устройства в соответствии с описанием, приведенном в задании, и изобразить ее RTL-описание в графическом редакторе схем САПР Quartus или диаграмму состояний в утилите State machine viewer САПР Quartus. На втором этапе работы по приведенному в задании описанию студентами создается проект заданного устройства на языке Verilog HDL. На третьем этапе работы студенты составляют тестовый план для результатов проектирования устройства, полученных на первом и втором этапе, с описанием процедуры тестирования. На этом этапе нужно продумать структуру и написать тестовый модуль (testbench) на языке Verilog HDL. Допускается провести процедуру тестирования без написания testbench; вместо него в этом случае используется файл формата vwf, однако привести план тестирования – обязательное условие.

Таким образом, в ходе выполнения практико-ориентированного проекта обучающийся покажет навыки по организации процесса проектирования устройства на ПЛИС архитектуры FPGA, создания среды для проведения тестирования, применения различных техник при проектировании и владения специализированными инструментами проектирования. Предусмотрен вариант выполнения практико-ориентированного проекта по индивидуальному заданию, которое может предложить индустриальный партнер.

Примерный перечень тем для выполнения практико-ориентированного проекта:

- 1) Проектирование генератора импульсной последовательности с заданными свойствами.
- 2) Проектирование арифметико-логического устройства с заданным алгоритмом работы.
- 3) Проектирование регистратора дребезга контактов с заданным алгоритмом работы.
- 4) Проектирование времяизмерительного устройства с заданным алгоритмом работы.
- 5) Проектирование селектора импульсов определенной амплитуды с заданным алгоритмом работы.
- 6) Проектирование селектора импульсов определенной длительности с заданным алгоритмом работы.

Проект оформляют следующим образом:

- презентация, разработанная по установленному шаблону,
- дополнительные материалы, артефакты тестирования (при необходимости);
- пояснительная записка, в которой должно быть приведены: задание на проект, результаты проектирования, сопровождаемые скриншотами с необходимыми пояснениями, а также коды программ (предоставляется по согласованию с преподавателем).

Формой защиты практико-ориентированного проекта может быть демонстрационный экзамен (по согласованию с преподавателем) или классическая защита с предоставлением расширенного отчета и докладом о результатах проверки качества тестируемого объекта. По итогам защиты практико-ориентированного проекта студент может набрать 20 баллов.

Критерии оценивания практико-ориентированного проекта.

- 1) Степень раскрытия темы (уровень проведенного проектирования) – 12 баллов (4 балла для первого этапа проекта, 4 для второго и 4 для третьего).
- 2) Последовательность и логика изложения материала (наличие внутренней рубрикации глав, логичность структуры) – 2 балла.
- 3) Оформление и информационное сопровождение работы – 2 балла.
- 4) Уверенная подача материала проекта на защите – 4 балла.

Вместо защиты студентам может быть предложен вариант оценивания преподавателем всех отчетных материалов без участия студента с использованием технологии асинхронного взаимодействия СДО ГУАП. В этом случае выставленные рейтинговые баллы будет сопровождать комментарий преподавателя.

Критерии оценивания по материалам оценивания следующие:

- 1) Степень раскрытия темы (уровень проведенного проектирования) – 9 баллов (3 баллов для первого этапа проекта, 3 для второго и 3 для третьего).
- 2) Последовательность и логика изложения материала (наличие внутренней рубрикации глав, логичность структуры) – 9 баллов
- 3) Оформление и информационное сопровождение работы – 2 балла.

Методические указания по выполнению практических работ имеются в виде электронных ресурсов в системе дистанционного обучения ГУАП (СДО ГУАП).

Однозначная принадлежность отчета студенты определена тем, что отчет может быть помещен в слот задания СДО ГУАП только после авторизации студента в системе.

11.4. Методические указания для обучающихся по выполнению лабораторных работ *(не предусмотрено учебным планом по данной дисциплине)*

11.5. Методические указания для обучающихся по прохождению курсового проектирования/выполнения курсовой работы *(не предусмотрено учебным планом по данной дисциплине)*

11.6. Методические указания для обучающихся по прохождению самостоятельной работы

В ходе выполнения самостоятельной работы, обучающийся выполняет работу по заданию и при методическом руководстве преподавателя, но без его непосредственного участия.

Для обучающихся по заочной форме обучения, самостоятельная работа может включать в себя контрольную работу.

В процессе выполнения самостоятельной работы, у обучающегося формируется целесообразное планирование рабочего времени, которое позволяет им развивать умения и навыки в усвоении и систематизации приобретаемых знаний, обеспечивает высокий уровень успеваемости в период обучения, помогает получить навыки повышения профессионального уровня.

Методическими материалами, направляющими самостоятельную работу обучающихся являются:

- учебно-методический материал по дисциплине.

Материалы для самостоятельной работы представлены с применением электронного обучения, дистанционных образовательных технологий (онлайн-курс).

Курс размещён в системе дистанционного обучения ГУАП (СДО ГУАП).

11.7 Методические указания для обучающихся по прохождению текущего контроля успеваемости.

Текущий контроль успеваемости предусматривает контроль качества знаний обучающихся, осуществляемого в течение семестра с целью оценивания хода освоения дисциплины.

Текущий контроль успеваемости проводится в виде компьютеризированного тестирования в системе дистанционного обучения ГУАП (СДО ГУАП), систематической проверки выполненных практических работ.

Обязательным требованием по прохождению текущего контроля является просмотр не менее 75% лекций, успешное прохождение не менее 60% предусмотренных тестов, а также выполнение обязательных практических работ в каждом семестре. При проведении промежуточной аттестации будут учтены баллы, набранные при прохождении всех форм текущего контроля: тестов и практических заданий.

11.8 Методические указания для обучающихся по прохождению промежуточной аттестации.

Промежуточная аттестация обучающихся предусматривает оценивание промежуточных и окончательных результатов обучения по дисциплине. Она включает в себя:

- зачет – это форма оценки знаний, полученных обучающимся в ходе изучения учебной дисциплины в целом или промежуточная (по окончании семестра) оценка знаний обучающимся по отдельным разделам дисциплины с аттестационной оценкой «зачтено» или «не зачтено».

Для получения зачета в 5 семестре студентам требуется набрать более 55 баллов и пройти итоговый тест, баллы за который входят в требуемые для получения зачета 55 баллов. Максимальный балл за итоговый тест – 20 баллов. В случае недостаточного количества баллов для получения зачета в 5 семестре, студентам будет предложено пройти расширенное тестирование по обучающему материалу семестра.

- дифференцированный зачет – это форма оценки знаний, полученных обучающимся при изучении дисциплины, при выполнении курсовых проектов, курсовых работ, научно-исследовательских работ и прохождении практик с аттестационной оценкой «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Для получения дифференцированного зачета в 6 семестре студентам требуется набрать более 55 рейтинговых баллов в течение семестра в соответствии с модульно-рейтинговой системой оценивания ГУАП, определенной МДО ГУАП. СМК 2.77 «Положение о модульно-рейтинговой системе оценки качества учебной работы обучающихся в ГУАП», пройти итоговый тест (баллы за который входят в баллы, набранные за семестр), проверяющий уровень сформированности компетенций, и

выполнить практико-ориентированный проект. Количество баллов, набранных при защите практико-ориентированного проекта также входит в суммарный итоговый рейтинговый балл. Если во время обучения в семестре студент не смог набрать требуемое количество баллов, то ему будет предложено пройти расширенный тест по дисциплине.

Для пересчета рейтинговых баллов в четырехбалльную систему действует, утвержденная в вузе шкала пересчета:

- менее 55 баллов – неудовлетворительно (2);
- от 55 до 69 баллов – удовлетворительно (3);
- от 70 до 84 баллов – хорошо (4);
- от 85 до 100 баллов – отлично (5).

Итоговая оценка выставляется студенту в четырехбалльной системе в соответствии с МДО ГУАП. СМК 2.77 «Положение о модульно-рейтинговой системе оценки качества учебной работы обучающихся в ГУАП».

Лист внесения изменений в рабочую программу дисциплины

Дата внесения изменений и дополнений. Подпись внесшего изменения	Содержание изменений и дополнений	Дата и № протокола заседания кафедры	Подпись зав. кафедрой