

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ
ФЕДЕРАЦИИ
федеральное государственное автономное образовательное учреждение высшего
образования
"САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
АЭРОКОСМИЧЕСКОГО ПРИБОРОСТРОЕНИЯ"

Кафедра № 23

УТВЕРЖДАЮ
Руководитель образовательной программы
Старший преподаватель
(должность, уч. степень, звание)

Е.П. Виноградова
(инициалы, фамилия)


(подпись)

«17» февраля 2025 г

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

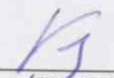
«Принципы разработки программного обеспечения ПЛИС»
(Наименование дисциплины)

Код направления подготовки/ специальности	11.04.04
Наименование направления подготовки/ специальности	Электроника и нанoeлектроника
Наименование направленности	Системы сбора, обработки и отображения информации
Форма обучения	очная
Год приема	2025

Лист согласования рабочей программы дисциплины

Программу составил (а)

Доц. к.т.н. доц.
(должность, уч. степень, звание)


(подпись, дата)

О.А. Кононов
(инициалы, фамилия)

Программа одобрена на заседании кафедры № 23

«17» февраля 2025 г, протокол № 6/25

Заведующий кафедрой № 23

д.т.н., проф.
(уч. степень, звание)


(подпись, дата)

А.Р. Бестугин
(инициалы, фамилия)

Заместитель директора института №2 по методической работе

доц., к.т.н., доц.
(должность, уч. степень, звание)


(подпись, дата)

Н.В. Марковская
(инициалы, фамилия)

Аннотация

Дисциплина «Принципы разработки программного обеспечения ПЛИС» входит в образовательную программу высшего образования – программу магистратуры по направлению подготовки/ специальности 11.04.04 «Электроника и нанoeлектроника» направленности «Системы сбора, обработки и отображения информации». Дисциплина реализуется кафедрой «№23».

Дисциплина нацелена на формирование у выпускника следующих компетенций:

ПК-3 «Способен использовать специализированные системы автоматизированного проектирования для синтеза логических схем, моделирования и верификация моделей, написанных на языках описания аппаратуры»

ПК-4 «Способен осуществлять характеристику сложно-функциональных цифровых блоков и проектировать электрические схемы цифровых электронных устройств, реализующие требуемые логические функции»

ПК-8 «Способен осуществлять проектирование и сопровождение интегральных схем, систем на кристалле на системном, функциональном, логическом и физическом уровнях описания»

Содержание дисциплины охватывает круг вопросов, связанных с принципами построения и особенностями функционирования ПЛИС, номенклатуре микросхем, выпускаемых ведущими фирмами-производителями ПЛИС, и основных сферах применения устройств на их основе/

Преподавание дисциплины предусматривает следующие формы организации учебного процесса: лекции, лабораторные работы, самостоятельная работа студента, консультации.

Программой дисциплины предусмотрены следующие виды контроля: текущий контроль успеваемости, промежуточная аттестация в форме экзамена.

Общая трудоемкость освоения дисциплины составляет 3 зачетных единицы, 108 часов.

Язык обучения по дисциплине «русский».

1. Перечень планируемых результатов обучения по дисциплине

1.1. Цели преподавания дисциплины

Предназначение дисциплины “Принципы разработки программного обеспечения ПЛИС ” заключается в приобретении студентами необходимого минимума знаний по теории проектирования устройств и систем на современной элементной базе – программируемых логических интегральных схемах, с использованием языков описания аппаратуры. Дисциплина входит в состав части, формируемой участниками образовательных отношений, образовательной программы высшего образования (далее – ОП ВО).

1.2. Дисциплина входит в состав части, формируемой участниками образовательных отношений, образовательной программы высшего образования (далее – ОП ВО).

1.3. Перечень планируемых результатов обучения по дисциплине, соотнесенных с планируемыми результатами освоения ОП ВО.

В результате изучения дисциплины обучающийся должен обладать следующими компетенциями или их частями. Компетенции и индикаторы их достижения приведены в таблице 1.

Таблица 1 – Перечень компетенций и индикаторов их достижения

Категория (группа) компетенции	Код и наименование компетенции	Код и наименование индикатора достижения компетенции
Профессиональные компетенции	ПК-3 Способен использовать специализированные системы автоматизированного проектирования для синтеза логических схем, моделирования и верификация моделей, написанных на языках описания аппаратуры	ПК-3.3.1 знать элементы теории сложных цифровых систем, основные принципы сквозного проектирования, маршрут разработки и верификации цифровых устройств, разработанных с использованием скриптов написанных, на встроенных языках описания аппаратуры, в том числе с применением методов машинного обучения и искусственного интеллекта ПК-3.У.1 уметь проводить описание моделей цифровых схем на поведенческом языке, осуществлять полный цикл автоматического проектирования цифровых схем с использованием скриптов написанных, на встроенных языках описания аппаратуры, в том числе с применением методов машинного обучения и искусственного интеллекта ПК-3.В.1 владеть специализированными системами автоматизированного проектирования для синтеза логических схем, моделирования и верификации моделей и ячеек схем, написанных на языках описания аппаратуры, в том числе с применением методов машинного обучения и искусственного интеллекта
Профессиональные компетенции	ПК-4 Способен осуществлять характеристику сложно-функциональных цифровых блоков и проектировать	ПК-4.3.1 знать основные принципы построения электрических схем логических устройств, языки поведенческого описания цифровых компонентов и логических функций ПК-4.В.1 владеть навыками использования функциональных возможностей и способов

	электрические схемы цифровых электронных устройств, реализующие требуемые логические функции	применения программных пакетов систем автоматизированного проектирования при разработке цифровых сложнофункциональных блоков
Профессиональные компетенции	ПК-8 Способен осуществлять проектирование и сопровождение интегральных схем, систем на кристалле на системном, функциональном, логическом и физическом уровнях описания	ПК-8.3.1 знать маршрут разработки и верификации цифровых устройств, проблемы обеспечения соответствия результатов функционально-логического моделирования и схемотехнического моделирования изделий электроники, специализированные системы автоматизированного проектирования для моделирования и верификация моделей, написанных на языках описания аппаратуры

2. Место дисциплины в структуре ОП

Дисциплина может базироваться на знаниях, ранее приобретенных обучающимися при изучении следующих дисциплин:

– «микропроцессорные информационно-измерительные и управляющие устройства».

Знания, полученные при изучении материала данной дисциплины, имеют как самостоятельное значение, так и используются при изучении других дисциплин:

– «цифровые технологии обработки видеосигналов».

3. Объем и трудоемкость дисциплины

Данные об общем объеме дисциплины, трудоемкости отдельных видов учебной работы по дисциплине (и распределение этой трудоемкости по семестрам) представлены в таблице 2.

Таблица 2 – Объем и трудоемкость дисциплины

Вид учебной работы	Всего	Трудоемкость по семестрам
		№3
1	2	3
Общая трудоемкость дисциплины, ЗЕ/ (час)	3/ 108	3/ 108
Из них часов практической подготовки	17	17
Аудиторные занятия, всего час.	34	34
в том числе:		
лекции (Л), (час)	17	17
практические/семинарские занятия (ПЗ), (час)		
лабораторные работы (ЛР), (час)	17	17
курсовой проект (работа) (КП, КР), (час)		
экзамен, (час)	36	36
Самостоятельная работа, всего (час)	38	38
Вид промежуточной аттестации: зачет, дифф. зачет, экзамен (Зачет, Дифф. зач,	Экз.	Экз.

Экз.**)		
---------	--	--

Примечание: ** кандидатский экзамен

4. Содержание дисциплины

4.1. Распределение трудоемкости дисциплины по разделам и видам занятий.

Разделы, темы дисциплины и их трудоемкость приведены в таблице 3.

Таблица 3 – Разделы, темы дисциплины, их трудоемкость

Разделы, темы дисциплины	Лекции (час)	ПЗ (СЗ) (час)	ЛР (час)	КП (час)	СРС (час)
Семестр 3					
Раздел 1. Общие сведения о ПЛИС. Тема 1.1. Общие сведения о проектировании устройств на ПЛИС. Тема 1.2. Обзор продукции фирмы Xilinx. Тема 1.3. Обзор продукции фирмы Altera.	3	0	0		3
Раздел 2. Языки программирования ПЛИС. Тема 2.1. Язык VHDL. Тема 2.2. Язык Verilog.	12	0	17		33
Раздел 3. Моделирование и отладка программ для ПЛИС в среде ModelSim®	2				2
Итого в семестре:	17		17		38
Итого	17	0	17	0	38

Практическая подготовка заключается в непосредственном выполнении обучающимися определенных трудовых функций, связанных с будущей профессиональной деятельностью.

4.2. Содержание разделов и тем лекционных занятий.

Содержание разделов и тем лекционных занятий приведено в таблице 4.

Таблица 4 – Содержание разделов и тем лекционного цикла

Номер раздела	Название и содержание разделов и тем лекционных занятий
1	<p>Раздел 1. Общие сведения о ПЛИС.</p> <p>Тема 1.1. Общие сведения о проектировании устройств на ПЛИС.</p> <p>История развития ПЛИС. Архитектуры ПЛИС. Основные характеристики ПЛИС. Программирование или конфигурирование ПЛИС. ПЛИС CPLD и FPGA. Ведущие производители. Altera, Xilinx, Actel. Различные подходы к проектированию систем на основе ПЛИС и заказных микросхем. Проектирование на основе языков описания аппаратных средств. Виртуальное макетирование ПЛИС. Средства моделирования, синтеза, верификации и реализации. САПР Max+PLUS II, Quartus II. САПР Xilinx Foundation Series. САПР Integrated Software Environment. САПР Vivado Xilinx. САПР Actel Libero. Средства проектирования независимых разработчиков. Проектирование с использованием открытого программного</p>

	<p>обеспечения. Маршрут проектирования в САПР Quartus II. Перспективы развития ПЛИС.</p> <p>Тема 1.2. Обзор продукции фирмы Xilinx.</p> <p>ПЛИС CPLD семейства XC9500. ПЛИС CPLD семейств XC9500XL, XC9500XV. ПЛИС CPLD семейства COOLRUNNER XPLA3. ПЛИС CPLD семейства COOLRUNNER-II. ПЛИС FPGA семейства VIRTEX. ПЛИС FPGA семейств Spartan-II, Spartan-3, Spartan-6. ПЛИС FPGA семейств Virtex-4, Virtex-5, Virtex-6, Virtex-7. ПЛИС семейств Kintex-7 и Kintex-7 UltraScale.</p> <p>Тема 1.3. Обзор продукции фирмы Altera.</p> <p>ПЛИС семейства MAX: MAX3000, MAX 7000, MAX 9000, MAX II, MAX10. ПЛИС семейства FLEX 10K. ПЛИС семейства APEX: APEX 20K, APEX II. ПЛИС семейства Stratix: Stratix, Stratix II, Stratix II GX, Stratix GX, Stratix III, Stratix IV, Stratix V, Stratix 10. ПЛИС семейства Cyclone: Cyclone, Cyclone II, Cyclone III, Cyclone IV, Cyclone V SoC. ПЛИС семейства Arria: Arria GX, Arria II GX, Arria V, Arria V SoC, Arria 10, Arria 10 SoC.</p>
2	<p>Раздел 2. Языки программирования ПЛИС.</p> <p>Тема 2.1. Язык VHDL.</p> <p>Модели вычислителей VHDL. Структура программы на VHDL. Объекты и типы VHDL. Описания констант, переменных, сигналов. Числовые типы данных. Real, Integer. Перечислимые типы данных. Составные типы данных. Массивы. Массивы неограниченной длины. Указательные типы данных (access). Описание данных указательного типа. Указатели на массивы. Организация связанных структур данных. Абстрактные типы данных.</p> <p>Выражения. Операторы. Управляющие операторы. Условный переход. Циклы. Последовательные операторы. Оператор процесса. Процедуры и функции. Параллельные операторы. Контроль в ходе моделирования (assert). Оператор генерации (Generate).</p> <p>Библиотека IEEE. Подпрограммы. Описание процедуры. Вызов процедуры. Сигналы в качестве параметров процедуры. Операторы параллельного вызова процедур.</p> <p>Комбинационные и последовательностные логические устройства, их описание на языке VHDL. Поведенческие и структурные VHDL-модели сложных цифровых устройств.</p> <p>Проектирование конвейерных вычислительных устройств (ВУ).</p> <p>Периодические алгоритмы. Интерпретация графов алгоритма. Оптимизация графов алгоритма. Методы проектирования конвейерных ВУ. Матрично-графовый</p>

	<p>метод.</p> <p>Тема 2.2. Язык Verilog.</p> <p>Модуль – базовая единица языка Verilog. Уровни абстракции написания моделей на Verilog. Лексические соглашения. Классы и типы данных. Описание портов модуля. Структурные модели. Параметры. Директивы компилятора. Вентильный уровень написания моделей. Стандартные логические элементы и модели вентильного уровня. Модели комбинационных схем. Определенные пользователем примитивы. Задержки элементов.</p> <p>Поведенческие модели. Блоки Initial и Always. Процедурные операторы назначения. Временное и событийное управление операторами в блоках. Операторы управления: if, case, casez, casex. Циклы.</p> <p>Подпрограммы. Подпрограммы Task Function. Автоматические функции и задачи. Системные задачи работы с файлами.</p> <p>Генерирование операторов. Оператор generate и переменные genvar. Оператор generate с циклом for. Условный оператор generate. Оператор generate с оператором case.</p> <p>Programming Language Interface (PLI). Подпрограммы библиотеки PLI. Подпрограммы доступа (access routine). Обслуживающие подпрограммы (utility routine).</p> <p>Операторы Assign и Deassign.</p> <p>Типы данных SystemVerilog. Пространства для декларации объектов в SystemVerilog. Типы с двумя состояниями. Строки. Абстрактные типы данных SystemVerilog. Преобразование типов. Пользовательские типы данных. Сложные типы данных SystemVerilog: структуры (structures), объединения (union). Массивы фиксированного размера. Динамические массивы. Очереди. Ассоциативные массивы. Процедурные блоки, задачи и функции</p>
3	<p>Раздел 3. Моделирование и отладка программ для ПЛИС в среде ModelSim®.</p> <p>Назначение, версии и функциональность программной среды ModelSim. Основы процесса симуляции. Инструменты отладки ModelSim. Создание проекта. Добавление файлов в проект. Компиляция файлов проекта. Оптимизация проекта. Загрузка проекта. Запуск симулятора. Установка точек останова и пошаговое исполнение кода. Конфигурация симуляции.</p> <p>Анализ временных диаграмм. Загрузка проекта. Добавление объектов в окно Wave. Увеличение экрана временных диаграмм. Использование курсоров в окне Wave. Создание стимулов с помощью Редактора временных диаграмм.</p>

	<p>Компиляция и загрузка проекта. Создание графических стимулов с помощью Wizard. Редактирование временных диаграмм в окне Wave. Экспорт созданных временных диаграмм.</p> <p>Отладка в окне Schematic. Компиляция и загрузка проекта. Изучение соединений. Просмотр исходного кода в Schematic. Свёртывание и развёртывание элементов. Трассирование событий.</p> <p>Отладка в окне Dataflow. Компиляция и загрузка проекта. Изучение соединений. Трассирование событий. Трассирование по X (неопределённость). Отображение иерархии в окне Dataflow.</p> <p>Просмотр и инициализация памяти. Компиляция и загрузка проекта. Просмотр памяти и её содержимого. Навигация по памяти. Экспорт данных из памяти в файл. Инициализация памяти. Команды интерактивной отладки.</p>
--	--

4.3. Практические (семинарские) занятия

Темы практических занятий и их трудоемкость приведены в таблице 5.

Таблица 5 – Практические занятия и их трудоемкость

№ п/п	Темы практических занятий	Формы практических занятий	Трудоемкость, (час)	Из них практической подготовки, (час)	№ раздела дисциплины
Учебным планом не предусмотрено					
Всего					

4.4. Лабораторные занятия

Темы лабораторных занятий и их трудоемкость приведены в таблице 6.

Таблица 6 – Лабораторные занятия и их трудоемкость

№ п/п	Наименование лабораторных работ	Трудоемкость, (час)	Из них практической подготовки, (час)	№ раздела дисциплины
Семестр 3				
1	Освоение маршрута проектирования цифровых устройств на базе ПЛИС с использованием языков описания аппаратуры.	2	2	2
2	Разработка многофазного генератора импульсных последовательностей на основе ПЛИС с использованием языков описания аппаратуры.	3	3	2
3	Разработка конечного автомата для обмена данными по интерфейсу SPI с использованием языков описания	3	3	2

	аппаратуры.			
4	Разработка простейшего КИХ-фильтра с использованием языков описания аппаратуры.	4	4	2
5	Разработка и исследование программы цифрового генератора сигналов на базе ПЛИС.	5	5	2
Всего		17		

4.5. Курсовое проектирование/ выполнение курсовой работы
Учебным планом не предусмотрено

4.6. Самостоятельная работа обучающихся
Виды самостоятельной работы и ее трудоемкость приведены в таблице 7.

Таблица 7 – Виды самостоятельной работы и ее трудоемкость

Вид самостоятельной работы	Всего, час	Семестр 3, час
1	2	3
Изучение теоретического материала дисциплины (ТО)	17	17
Курсовое проектирование (КП, КР)		
Расчетно-графические задания (РГЗ)		
Выполнение реферата (Р)		
Подготовка к текущему контролю успеваемости (ТКУ)	14	14
Домашнее задание (ДЗ)		
Контрольные работы заочников (КРЗ)		
Подготовка к промежуточной аттестации (ПА)	7	7
Всего:	38	38

5. Перечень учебно-методического обеспечения
для самостоятельной работы обучающихся по дисциплине (модулю)
Учебно-методические материалы для самостоятельной работы обучающихся указаны в п.п. 7-11.

6. Перечень печатных и электронных учебных изданий
Перечень печатных и электронных учебных изданий приведен в таблице 8.
Таблица 8– Перечень печатных и электронных учебных изданий

Шифр/ URL адрес	Библиографическая ссылка	Количество экземпляров в библиотеке (кроме электронных экземпляров)
004 А 62	Схемотехника и средства проектирования цифровых устройств: учебное пособие / В.В. Амосов. - СПб: БХВ - Петербург, 2014. - 560 с.	10

004.4 М 17	Проектирование на ПЛИС. Архитектура, средства и методы: Курс молодого бойца = The design warrior's guide to FPGA's: пер. с англ. / К. Максфилд. - М.: ДОДЭКА-XXI, 2007. - 408 с.	16
004.4 Б59	Основы языка VHDL: монография / П.Н.Бибило. - М.: Солон-Р, 2000. - 200 с.	14

7. Перечень электронных образовательных ресурсов
информационно-телекоммуникационной сети «Интернет»

Перечень электронных образовательных ресурсов информационно-телекоммуникационной сети «Интернет», необходимых для освоения дисциплины приведен в таблице 9.

Таблица 9 – Перечень электронных образовательных ресурсов информационно-телекоммуникационной сети «Интернет»

URL адрес	Наименование
http://bookre.org/reader?file=482098	Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. М.: Солон-ПРЕСС, 2003. – 320 с.
http://bookre.org/reader?file=777204	Проектирование и верификация цифровых систем на кристаллах. Verilog & System Verilog. Учебное пособие. // Хаханов В.И. и др. Харьков: ХНУРЭ. 2010. 528 с.
http://library.mephi.ru/Data-IRBIS/book-mephi/Petropavlovskij_Laboratornij_praktikum_Proektirovanie_cifrovih_ustroistv.pdf	Лабораторный практикум «Проектирование цифровых устройств на программируемых логических интегральных схемах». Виртуальная микроэлектроника: учебное пособие. / Петропавловский В.П., Микульский С.Г., Сарксян К.А. Под ред. В.П. Петропавловского. М.: НИЯУ МИФИ, 2012. – 104 с
https://emirs.miet.ru/oroks-miet/upload/normal/003q8u0xcty3w3/POPOVA.pdf	Стешенко В.Б., Попова Т.В., Малашевич Д.Б. Основы HDL Verilog как средства проектирования цифровых устройств: Уч. пос. / Под ред. А.И. Сухопарова. - М.: МИЭТ, 2006. - 136 с.
http://fpga.su	Программируемые логические интегральные схемы XILINX®.
http://altera-plis.ru/	ПЛИС Altera
http://electronix.ru/forum/index.php?act=attach&id=37699&type=post	ModelSim: моделирование HDL. Лабораторные работы. [Электронный ресурс] 45 с
http://citforum.ru/programming/embedded/languages/	В.В. Рубанов. Обзор методов описания встраиваемой аппаратуры и построения инструментария кросс-разработки

8. Перечень информационных технологий

8.1. Перечень программного обеспечения, используемого при осуществлении образовательного процесса по дисциплине.

Перечень используемого программного обеспечения представлен в таблице 10.

Таблица 10– Перечень программного обеспечения

№ п/п	Наименование
	Не предусмотрено

8.2. Перечень информационно-справочных систем, используемых при осуществлении образовательного процесса по дисциплине

Перечень используемых информационно-справочных систем представлен в таблице 11.

Таблица 11– Перечень информационно-справочных систем

№ п/п	Наименование
	Не предусмотрено

9. Материально-техническая база

Состав материально-технической базы, необходимой для осуществления образовательного процесса по дисциплине, представлен в таблице 12.

Таблица 12 – Состав материально-технической базы

№ п/п	Наименование составной части материально-технической базы	Номер аудитории (при необходимости)
1	Мультимедийная лекционная аудитория	
2	Компьютерный класс	
3	Стенды Altera DE2-115.	

10. Оценочные средства для проведения промежуточной аттестации

10.1. Состав оценочных средств для проведения промежуточной аттестации обучающихся по дисциплине приведен в таблице 13.

Таблица 13 – Состав оценочных средств для проведения промежуточной аттестации

Вид промежуточной аттестации	Перечень оценочных средств
Экзамен	Список вопросов к экзамену; Тесты.

10.2. В качестве критериев оценки уровня сформированности (освоения) компетенций обучающимися применяется 5-балльная шкала оценки сформированности компетенций, которая приведена в таблице 14. В течение семестра может использоваться 100-балльная шкала модульно-рейтинговой системы Университета, правила использования которой, установлены соответствующим локальным нормативным актом ГУАП.

Таблица 14 –Критерии оценки уровня сформированности компетенций

Оценка компетенции	Характеристика сформированных компетенций
5-балльная шкала	

Оценка компетенции	Характеристика сформированных компетенций
5-балльная шкала	
«отлично» «зачтено»	<ul style="list-style-type: none"> – обучающийся глубоко и всесторонне усвоил программный материал; – уверенно, логично, последовательно и грамотно его излагает; – опираясь на знания основной и дополнительной литературы, тесно привязывает усвоенные научные положения с практической деятельностью направления; – умело обосновывает и аргументирует выдвигаемые им идеи; – делает выводы и обобщения; – свободно владеет системой специализированных понятий.
«хорошо» «зачтено»	<ul style="list-style-type: none"> – обучающийся твердо усвоил программный материал, грамотно и по существу излагает его, опираясь на знания основной литературы; – не допускает существенных неточностей; – увязывает усвоенные знания с практической деятельностью направления; – аргументирует научные положения; – делает выводы и обобщения; – владеет системой специализированных понятий.
«удовлетворительно» «зачтено»	<ul style="list-style-type: none"> – обучающийся усвоил только основной программный материал, по существу излагает его, опираясь на знания только основной литературы; – допускает несущественные ошибки и неточности; – испытывает затруднения в практическом применении знаний направления; – слабо аргументирует научные положения; – затрудняется в формулировании выводов и обобщений; – частично владеет системой специализированных понятий.
«неудовлетворительно» «не зачтено»	<ul style="list-style-type: none"> – обучающийся не усвоил значительной части программного материала; – допускает существенные ошибки и неточности при рассмотрении проблем в конкретном направлении; – испытывает трудности в практическом применении знаний; – не может аргументировать научные положения; – не формулирует выводов и обобщений.

10.3. Типовые контрольные задания или иные материалы.

Вопросы (задачи) для экзамена представлены в таблице 15.

Таблица 15 – Вопросы (задачи) для экзамена

№ п/п	Перечень вопросов (задач) для экзамена	Код индикатора
1	История развития, архитектуры и основные характеристики ПЛИС.	ПК-3.3.1
2	Проектирование на основе языков описания аппаратных средств.	ПК-3.3.1
3	Маршрут проектирования в САПР Quartus II.	ПК-3.В.1
4	Язык VHDL. Структура программы на VHDL.	ПК-4.3.1
5	Объекты и типы VHDL. Описания констант, переменных, сигналов.	ПК-3.У.1
6	Язык VHDL. Выражения. Операторы.	ПК-3.У.1
7	Язык VHDL. Циклы.	ПК-3.У.1
8	Язык VHDL. Подпрограммы.	ПК-3.У.1
9	Комбинационные и последовательностные логические устройства, их описание на языке VHDL.	ПК-3.У.1
10	Язык Verilog. Структура программы.	ПК-3.У.1
11	Язык Verilog. Классы и типы данных.	ПК-3.У.1
12	Язык Verilog. Структурные модели. Модели	ПК-3.У.1

	комбинационных схем	
13	Поведенческие модели. Блоки Initial и Always	ПК-3.У.1
14	Язык Verilog. Операторы управления: if, case, casez, casex.	ПК-3.У.1
15	Язык Verilog. Циклы.	ПК-3.У.1
16	Язык Verilog. Подпрограммы.	ПК-3.У.1
17	Язык Verilog. Генерирование операторов.	ПК-3.У.1
18	Среда ModelSim Altera Edition. Основы процесса симуляции.	ПК-4.В.1
19	Среда ModelSim Altera Edition. Создание стимулов с помощью Редактора временных диаграмм.	ПК-4.В.1
20	Среда ModelSim Altera Edition. Просмотр и инициализация памяти.	ПК-4.В.1
21	Среда ModelSim Altera Edition. Команды интерактивной отладки.	ПК-4.В.1
22	Создание тестовых файлов (testbench).	ПК-4.В.1
23	Маршрут проектирования SOPC и возможности САПР Quartus.	ПК-8.3.1

Вопросы (задачи) для зачета / дифф. зачета представлены в таблице 16.

Таблица 16 – Вопросы (задачи) для зачета / дифф. зачета

№ п/п	Перечень вопросов (задач) для зачета / дифф. зачета	Код индикатора
	Учебным планом не предусмотрено	

Перечень тем для курсового проектирования/выполнения курсовой работы представлены в таблице 17.

Таблица 17 – Перечень тем для курсового проектирования/выполнения курсовой работы

№ п/п	Примерный перечень тем для курсового проектирования/выполнения курсовой работы
	Учебным планом не предусмотрено

Вопросы для проведения промежуточной аттестации в виде тестирования представлены в таблице 18.

Таблица 18 – Примерный перечень вопросов для тестов

№ п/п	Примерный перечень вопросов для тестов	Код индикатора										
1	<p>Инструкция: прочитайте текст и установите соответствие.</p> <p>Элементы языка VHDL и их назначение</p> <table><tr><td>Элемент языка</td><td>Используется</td></tr><tr><td>1. Секция ARCHITECTURE</td><td>А. Для повторения блока кода заданное количество раз</td></tr><tr><td>2. Библиотека IEEE 1076</td><td>В. Для определения внешних интерфейсов модуля</td></tr><tr><td>3. Секция ENTITY</td><td>С. Для определения внутренней реализации логики модуля</td></tr><tr><td>4. Цикл FOR</td><td>Д. Для описания VHDL</td></tr></table> <p>К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце</p>	Элемент языка	Используется	1. Секция ARCHITECTURE	А. Для повторения блока кода заданное количество раз	2. Библиотека IEEE 1076	В. Для определения внешних интерфейсов модуля	3. Секция ENTITY	С. Для определения внутренней реализации логики модуля	4. Цикл FOR	Д. Для описания VHDL	ПК-3
Элемент языка	Используется											
1. Секция ARCHITECTURE	А. Для повторения блока кода заданное количество раз											
2. Библиотека IEEE 1076	В. Для определения внешних интерфейсов модуля											
3. Секция ENTITY	С. Для определения внутренней реализации логики модуля											
4. Цикл FOR	Д. Для описания VHDL											

	Правильный ответ: 1-С, 2-D, 3-В, 4-А.				
2	Инструкция: прочитайте текст и установите последовательность. Расставьте этапы процесса синтеза и компиляции в Quartus II в правильной последовательности: А. Размещение и трассировка (Fitting). В. Анализ и синтез (Analysis & Synthesis). С. Генерация программируемого файла (Programming File Generation). D. Генерация временных диаграмм (Timing Analysis). Запишите соответствующую последовательность букв слева направо Правильный ответ: В, А, D, С.				
3	Инструкция: прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа Выберите из нижеперечисленных задач ту, которая может быть автоматизирована с помощью скриптов на языке VHDL. А. Генерация поведенческих моделей. В. Проектирование механических деталей. С. Моделирование тепловых процессов. D. Оптимизация маршрута для транспортных средств. Правильный ответ: А. Генерация поведенческих моделей.				
4	Инструкция: Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов. Укажите методы, которые могут использоваться для автоматизации проектирования цифровых схем с применением машинного обучения. А. Генетические алгоритмы В. Глубокие нейронные сети С. Метод опорных векторов D. К-средние Правильные ответы: А. Генетические алгоритмы, В. Глубокие нейронные сети.				
5	Инструкция: прочитайте текст и запишите развернутый обоснованный ответ Структура проекта на VHDL представляется следующей... Правильный ответ: структура проекта на VHDL представляется следующей: – декларация библиотеки и использования содержащихся в ней пакетов; – декларация интерфейса объекта проекта; – декларация архитектуры объекта проекта.				
6	Инструкция: прочитайте текст и установите соответствие. Пример на правила де Моргана для языка VHDL <table><tr><td>1. not(a and b)</td><td>A. not(a) and not(b)</td></tr></table>		1. not(a and b)	A. not(a) and not(b)	ПК-4
1. not(a and b)	A. not(a) and not(b)				

	<table><tr><td>2. not(a or b)</td><td>B. not(not(a) and not(b))</td></tr><tr><td>3. a and b</td><td>C. not(a) or not(b)</td></tr><tr><td>4. a or b</td><td>D. not(not(a) or not(b))</td></tr></table> <p>К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце</p> <p>Правильный ответ: 1-С, 2-А, 3- D, 4-В.</p>	2. not(a or b)	B. not(not(a) and not(b))	3. a and b	C. not(a) or not(b)	4. a or b	D. not(not(a) or not(b))	
2. not(a or b)	B. not(not(a) and not(b))							
3. a and b	C. not(a) or not(b)							
4. a or b	D. not(not(a) or not(b))							
7	<p>Инструкция: прочитайте текст и установите последовательность.</p> <p>Расставьте этапы проектирования электрических схем логических устройств в нужной последовательности:</p> <p>А. Синтез логических схем. В. Разработка спецификаций и требований. С. Тестирование и верификация. D. Оптимизация схем.</p> <p>Запишите соответствующую последовательность букв слева направо</p> <p>Правильный ответ: В, А, D, С.</p>							
8	<p>Инструкция: прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа</p> <p>Для присвоения значений сигналам в процессе на VHDL используется оператор:</p> <p>a) <= b) := c) = d) :=></p> <p>Правильный ответ: a) <=.</p>							
9	<p>Инструкция: Прочитайте текст, выберите правильные варианты ответа и запишите аргументы, обосновывающие выбор ответов</p> <p>Для описания логических схем или их моделирования в VHDL используется следующее множество значений сигналов:</p> <p>1. 'U', -- Неинициализированный. 2. 'X', -- Сильный неизвестный сигнал. 3. '0', -- Сильный 0. 4. '1', -- Сильная 1. 5. 'Z', -- Высокий импеданс. 6. 'W', -- Слабый неизвестный сигнал. 7. 'L', -- Слабый 0. 8. 'H', -- Слабая 1. 9. '-' – Не имеет значения какой сигнал. 10. Все перечисленные.</p> <p>Правильный ответ: 10. Все перечисленные.</p>							
10	<p>Инструкция: прочитайте текст и запишите развернутый обоснованный ответ</p> <p>Таблица истинности – это таблица, ...</p> <p>Правильный ответ: Таблица истинности – это таблица, которая устанавливает соответствие между всеми возможными</p>							

	комбинациями входных логических сигналов и значениями соответствующих им выходных сигналов схемы.											
11	<p>Инструкция: прочитайте текст и установите соответствие. Языки описания аппаратуры и их назначение.</p> <table><tr><th>Язык</th><th>Назначение</th></tr><tr><td>1. VHDL</td><td>А. Для проектирования, верификации и реализации аналоговых, цифровых и смешанных электронных систем на различных уровнях абстракции.</td></tr><tr><td>2. Verilog</td><td>В. Для точного описания проектируемых систем, их верификации и реализации в аналоговом, цифровом и смешанном вариантах на различных уровнях абстракции.</td></tr><tr><td>3. System C</td><td>С. Для описания параллельных вычислений с возможностью представления результатов компиляции в форме межрегистровых передач для Verilog IP.</td></tr><tr><td>4. Open CL</td><td>Д. Для построения транзакционных и поведенческих моделей, а также для высокоуровневого синтеза электронных систем.</td></tr></table> <p>К каждой позиции, данной в левом столбце, подберите соответствующую позицию в правом столбце</p> <p>Правильный ответ: 1-В, 2-А, 3-Д и 4-С.</p>	Язык	Назначение	1. VHDL	А. Для проектирования, верификации и реализации аналоговых, цифровых и смешанных электронных систем на различных уровнях абстракции.	2. Verilog	В. Для точного описания проектируемых систем, их верификации и реализации в аналоговом, цифровом и смешанном вариантах на различных уровнях абстракции.	3. System C	С. Для описания параллельных вычислений с возможностью представления результатов компиляции в форме межрегистровых передач для Verilog IP.	4. Open CL	Д. Для построения транзакционных и поведенческих моделей, а также для высокоуровневого синтеза электронных систем.	ПК- 8
Язык	Назначение											
1. VHDL	А. Для проектирования, верификации и реализации аналоговых, цифровых и смешанных электронных систем на различных уровнях абстракции.											
2. Verilog	В. Для точного описания проектируемых систем, их верификации и реализации в аналоговом, цифровом и смешанном вариантах на различных уровнях абстракции.											
3. System C	С. Для описания параллельных вычислений с возможностью представления результатов компиляции в форме межрегистровых передач для Verilog IP.											
4. Open CL	Д. Для построения транзакционных и поведенческих моделей, а также для высокоуровневого синтеза электронных систем.											
12	<p>Инструкция: прочитайте текст и установите последовательность. Расставьте этапы, которые включены в маршрут разработки цифровых устройств, в правильной последовательности: А. Спецификация требований. В. Синтез схем. С. Производство и тестирование. Д..Маршрутизация и трассировка. Запишите соответствующую последовательность букв слева направо</p> <p>Правильный ответ: А, В, Д, С.</p>											
13	<p>Инструкция: прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа Выберите инструмент, который чаще всего используется для анализа электрических характеристик цепи на этапе верификации, из следующих:</p> <p>А. HSPICE. В. Vivado. С. ModelSim. Д. DC Shell.</p> <p>Правильный ответ: А. HSPICE.</p>											
14	<p>Инструкция: прочитайте текст, выберите правильные</p>											

	<p>варианты ответа и запишите аргументы, обосновывающие выбор ответов.</p> <p>Возможными проблемами, которые могут возникнуть при обеспечении соответствия результатов функционально-логического моделирования и схемотехнического моделирования являются:</p> <p>А. Различия во временных задержках. В. Некорректная логическая реализация. С. Несоответствие топологии схемы. D. Различия в потреблении энергии.</p> <p>Правильный ответ: А. Различия во временных задержках. В. Некорректная логическая реализация. D. Различия в потреблении энергии.</p>	
15	<p>Инструкция: прочитайте текст и запишите развернутый обоснованный ответ.</p> <p>Для верификации проектов на ПЛИС используются...</p> <p>Правильный ответ: для верификации проектов на ПЛИС используются методы моделирования на основе языка описания аппаратуры (HDL), статический анализ временных характеристик, функциональная верификация с использованием тестовых векторов и эмуляция с помощью аппаратных симуляторов</p>	

Ключи правильных ответов размещены в приложении к РПД.

Система оценивания тестовых заданий

№	Указания по оцениванию	Результат оценивания (баллы, полученные за выполнение \ характеристика правильности ответа)
1	Задание закрытого типа на установление соответствия считается верным, если установлены все соответствия (позиции из одного столбца верно сопоставлены с позициями другого столбца)	Полное совпадение с верным ответом оценивается 1 баллом, неверный ответ или его отсутствие – 0 баллов (либо указывается «верно» \ «неверно»)
2	Задание закрытого типа на установление последовательности считается верным, если правильно указана вся последовательность цифр	Полное совпадение с верным ответом оценивается 1 баллом, если допущены ошибки или ответ отсутствует – 0 баллов (либо указывается «верно» \ «неверно»)
3	Задание комбинированного типа с выбором одного верного ответа из четырех предложенных и обоснованием выбора считается верным, если правильно указана цифра и приведены конкретные аргументы, используемые при выборе ответа	Полное совпадение с верным ответом оценивается 1 баллом, неверный ответ или его отсутствие – 0 баллов (либо указывается «верно» \ «неверно»)
4	Задание комбинированного типа с выбором нескольких вариантов ответа из предложенных и развернутым	Полное совпадение с верным ответом оценивается 1 баллом, если допущены ошибки или ответ отсутствует – 0 баллов

	обоснованием выбора считается верным, если правильно указаны цифры и приведены конкретные аргументы, используемые при выборе ответов	(либо указывается «верно» \ «неверно»)
5	Задание открытого типа с развернутым ответом считается верным, если ответ совпадает с эталонным по содержанию и полноте	Правильный ответ за задание оценивается в 3 балла, если допущена одна ошибка \ неточность \ ответ правильный, но не полный - 1 балл, если допущено более 1 ошибки \ ответ неправильный \ ответ отсутствует – 0 баллов (либо указывается «верно» \ «неверно»)

Перечень тем контрольных работ по дисциплине обучающихся заочной формы обучения, представлены в таблице 19.

Таблица 19 – Перечень контрольных работ

№ п/п	Перечень контрольных работ
	Не предусмотрено

10.4. Методические материалы, определяющие процедуры оценивания индикаторов, характеризующих этапы формирования компетенций, содержатся в локальных нормативных актах ГУАП, регламентирующих порядок и процедуру проведения текущего контроля успеваемости и промежуточной аттестации обучающихся ГУАП.

11. Методические указания для обучающихся по освоению дисциплины

Целью дисциплины является – получение студентами необходимых знаний, умений и навыков в области разработки программ для ПЛИС, с использованием языков описания аппаратуры VHDL и Verilog, а также получения практических навыков виртуального моделирования в среде ModelSim Altera Edition.

11.1. Методические указания для обучающихся по освоению лекционного материала

Основное назначение лекционного материала – логически стройное, системное, глубокое и ясное изложение учебного материала. Назначение современной лекции в рамках дисциплины не в том, чтобы получить всю информацию по теме, а в освоении фундаментальных проблем дисциплины, методов научного познания, новейших достижений научной мысли. В учебном процессе лекция выполняет методологическую, организационную и информационную функции. Лекция раскрывает понятийный аппарат конкретной области знания, её проблемы, дает цельное представление о дисциплине, показывает взаимосвязь с другими дисциплинами.

Планируемые результаты при освоении обучающимися лекционного материала:

- получение современных, целостных, взаимосвязанных знаний, уровень которых определяется целевой установкой к каждой конкретной теме;
- получение опыта творческой работы совместно с преподавателем;
- развитие профессионально-деловых качеств, любви к предмету и самостоятельного творческого мышления.
- появление необходимого интереса, необходимого для самостоятельной работы;
- получение знаний о современном уровне развития науки и техники и о прогнозе их развития на ближайшие годы;

- научиться методически обрабатывать материал (выделять главные мысли и положения, приходить к конкретным выводам, повторять их в различных формулировках);

- получение точного понимания всех необходимых терминов и понятий.

Лекционный материал может сопровождаться демонстрацией слайдов и использованием раздаточного материала при проведении коротких дискуссий об особенностях применения отдельных тематик по дисциплине.

Структура предоставления лекционного материала:

- введение (сообщение темы, цели, плана лекции, используемых источников);
- основная часть (подача структурированной научной и учебной информации, расстановка акцентов, выводы по каждому пункту);
- заключение (обобщение основных идей, формулирование общих выводов по теме).

11.2. Методические указания для обучающихся по участию в семинарах
Не предусмотрено.

11.3. Методические указания для обучающихся по прохождению практических занятий
Не предусмотрено.

11.4. Методические указания для обучающихся по выполнению лабораторных работ.

В ходе выполнения лабораторных работ обучающийся должен углубить и закрепить знания, практические навыки, овладеть современной методикой и техникой эксперимента в соответствии с квалификационной характеристикой обучающегося. Выполнение лабораторных работ состоит из экспериментально-практической, расчетно-аналитической частей и контрольных мероприятий.

Выполнение лабораторных работ обучающимся является неотъемлемой частью изучения дисциплины, определяемой учебным планом, и относится к средствам, обеспечивающим решение следующих основных задач обучающегося:

- приобретение навыков исследования процессов, явлений и объектов, изучаемых в рамках данной дисциплины;
- закрепление, развитие и детализация теоретических знаний, полученных на лекциях;
- получение новой информации по изучаемой дисциплине;
- приобретение навыков самостоятельной работы с лабораторным оборудованием и приборами.

Задание и требования к проведению лабораторных работ

1) Лабораторный практикум «Проектирование цифровых устройств на программируемых логических интегральных схемах». Виртуальная микроэлектроника: учебное пособие. / Петропавловский В.П., Микульский С.Г., Сарксян К.А. Под ред. В.П. Петропавловского. М.: НИЯУ МИФИ, 2012. – 104 с. // URL: http://library.mephi.ru/Data-IRBIS/book-mephi/Petropavlovskij_Laboratornij_praktikum_Proektirovanie_cifrovih_ustroistv.pdf

2) Разработка и исследование цифрового генератора DDS на базе ПЛИС [Электронный ресурс]: электрон. лаб. практикум. / Минобрнауки России, Самар. гос. аэрокосм. ун-т им. С.П. Королева (нац. исслед. ун-т); сост. Д.В. Корнилин, И.А. Кудрявцев. - Электрон. текстовые и граф. дан. (0,27 Мбайт). - Самара, 2012. // URL: http://www.ssau.ru/files/education/metod_1/Корнилин_Д.В._Разработка_и_исследование.pdf

3) ModelSim: моделирование HDL. Лабораторные работы. [Электронный ресурс] 45 с. // URL: <http://electronix.ru/forum/index.php?act=attach&id=37699&type=post>

Структура и форма отчета о лабораторной работе

- 1.Титульный лист
- 2.Цель и задачи работы.
- 3.Теоретические сведения о методах решения поставленных задач.
- 4.Схема лабораторной установки
- 5.Результаты измерений и расчетов.
- 6.Графические зависимости.
- 7.Выводы.

Требования к оформлению отчета о лабораторной работе

Отчет по лабораторной работе оформляется в соответствии с требованиями по оформлению текстовых документов по ГОСТ 7.32-2017 URL: http://regstands.guap.ru/db/docs/gost_7.32-2017.pdf

11.5 Методические указания для обучающихся по прохождению курсового проектирования/выполнения курсовой работы
Не предусмотрено.

11.6. Методические указания для обучающихся по прохождению самостоятельной работы

В ходе выполнения самостоятельной работы, обучающийся выполняет работу по заданию и при методическом руководстве преподавателя, но без его непосредственного участия.

Для обучающихся по заочной форме обучения, самостоятельная работа может включать в себя контрольную работу.

В процессе выполнения самостоятельной работы, у обучающегося формируется целесообразное планирование рабочего времени, которое позволяет им развивать умения и навыки в усвоении и систематизации приобретаемых знаний, обеспечивает высокий уровень успеваемости в период обучения, помогает получить навыки повышения профессионального уровня.

Методическими материалами, направляющими самостоятельную работу обучающихся является учебно-методический материал по дисциплине.

11.7. Методические указания для обучающихся по прохождению текущего контроля успеваемости.

Текущий контроль успеваемости предусматривает контроль качества знаний обучающихся, осуществляемого в течение семестра с целью оценивания хода освоения дисциплины.

Система оценок при проведении промежуточной аттестации осуществляется в соответствии с требованиями Положений «О текущем контроле успеваемости и промежуточной аттестации студентов ГУАП, обучающихся по программе высшего образования» и «О модульно-рейтинговой системе оценки качества учебной работы студентов в ГУАП».

11.8. Методические указания для обучающихся по прохождению промежуточной аттестации.

Промежуточная аттестация обучающихся предусматривает оценивание промежуточных и окончательных результатов обучения по дисциплине. Она включает в себя:

– экзамен – форма оценки знаний, полученных обучающимся в процессе изучения всей дисциплины или ее части, навыков самостоятельной работы, способности применять их для решения практических задач. Экзамен, как правило, проводится в период экзаменационной сессии и завершается аттестационной оценкой «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Система оценок при проведении промежуточной аттестации осуществляется в соответствии с таблицей 14 и требованиями Положений «О текущем контроле успеваемости и промежуточной аттестации студентов ГУАП, обучающихся по программе высшего образования» и «О модульно-рейтинговой системе оценки качества учебной работы студентов в ГУАП».

Лист внесения изменений в рабочую программу дисциплины

Дата внесения изменений и дополнений. Подпись внесшего изменения	Содержание изменений и дополнений	Дата и № протокола заседания кафедры	Подпись зав. кафедрой